

Аппаратно-программные средства тестирования и отладки КМОП цифровых СБИС по интерфейсу JTAG

М.С. Ладнушкин

Аннотация. Предложена аппаратно-программная система тестирования и отладки СБИС на основе технологии сканирования для микропроцессоров типа СнК, позволяющая в 2 раза сократить площадь тестовой логики, ограничившись 0,1% относительно исходного проекта. Обоснованы схемотехнические решения при построении архитектуры встроенной системы отладки по критериям занимаемой площади и отладочного события.

Ключевые слова: отладка СБИС, JTAG, скан-технология.

Введение

Поиск и отладка аппаратно-программных ошибок высокопроизводительных СнК (Систем-на-Кристалле) в свете увеличения интегральной сложности СБИС, вызванной ростом числа транзисторов на кристалле, является актуальной и дорогостоящей технологией, требующей специального инструментария для выполнения отладочных функций. Основными задачами отладочных средств современных СБИС являются наблюдение внутреннего состояния СБИС, пошаговое выполнение команд, установка точек контроля. Средства отладки интегрируются на кристалл в виде дополнительных блоков, встроенных в СБИС и имеющих собственный внешний интерфейс обмена данными [1].

Существуют два основных подхода в построении современных средств отладки: с помощью скан-цепей и с помощью встроенного логического анализа. Дополнительная логика систем отладки может занимать до 5-10% площади кристалла СнК.

У систем встроенного логического анализа есть существенный недостаток: если в СнК системный контроллер перестает обслуживать процессор (процессорное ядро "зависает"), то средства отладки не позволяют выявить причины такого поведения СБИС, так как программный доступ к ресурсам СнК становится невозможным через периферийные устройства. Ещё один недостаток средств отладки такого типа - отсутствие универсальности их применения. Так, например, стандарт EJTAG разработан под процессорное ядро MIPS, стандарт ETM – под ядро ARM. Данные проблемы может решить альтернативная система отладки на основе скан-технологии.

Автором предложена система отладки СБИС скан-через-JTAG, основанная на скан-технологии отбраковки [2], которая позволяет сократить площадь тестовой логики по сравнению с другими системами отладки такого типа. Система осуществляет отладку MIPS-совместимого микропроцессора и, прежде всего, «зависаний» СБИС. Система совместима со стандартным интерфейсом JTAG, по которому осуществляется

управление и загрузка/выгрузка данных отладки, и позволяет выгружать информацию о состоянии всех триггеров СБИС для отладки, вне зависимости от рабочего состояния процессорного ядра СнК. Система является универсальной и может быть применена для любой СБИС.

Разработанная система отладки скан-через-JTAG строится на основе скан-схемы СБИС. Создание системы отладки осуществляется в три этапа:

- 1) встраивание дополнительной логики в RTL-модель СБИС;
- 2) создание скан-схемы средствами САПР;
- 3) создание дополнительной логики и связей для режима отладки.

Скан-технология была разработана как средство доступа к внутреннему состоянию триггеров СБИС [3, 4] благодаря тому, что логическая схема СБИС заменяется скан-схемой путем перевода её в режим сканирования (скан-режим) по внешнему сигналу микросхемы. Скан-схема создается на основе логической схемы СБИС путем замены всех триггеров СБИС сканирующими триггерами, которые в скан-режиме объединяются в единый сдвиговый регистр – скан-цепочку триггеров (СЦТ). Вход и выход СЦТ подключается к отдельным тестовым портам ввода-вывода СБИС для внешнего доступа к сдвиговому регистру по последовательному скан-протоколу. Современные САПР позволяют создавать необходимые аппаратные средства для скан-режима СБИС в полуавтоматическом режиме [5].

На Рис. 1 СБИС представлена в виде модели автомата Хаффмана, которая интерпретирует схему СБИС как блок комбинационной подсистемы (КП) и связанный с ним блок триггерной подсистемы (ТП). КП служит для преобразования входных сигналов и информации о состоянии устройства в выходные сигналы и сигналы, необходимые для изменения состояния автомата [6]. Состояния автомата хранятся в элементах памяти СБИС – триггерной подсистеме (ТП). Переход к следующему состоянию ТП происходит по приходу фронта синхросигнала CLK.

Скан-схема для режима отбраковки представлена на Рис. 2. СБИС в скан-режиме имеет одну скан-цепь из последовательно соединенных триггеров СБИС со входом TEST_SI и

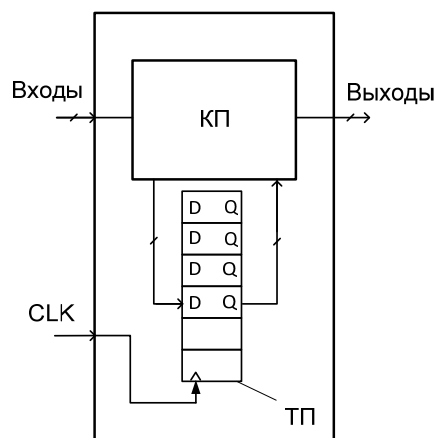


Рис. 1. Структура СБИС: рабочий режим

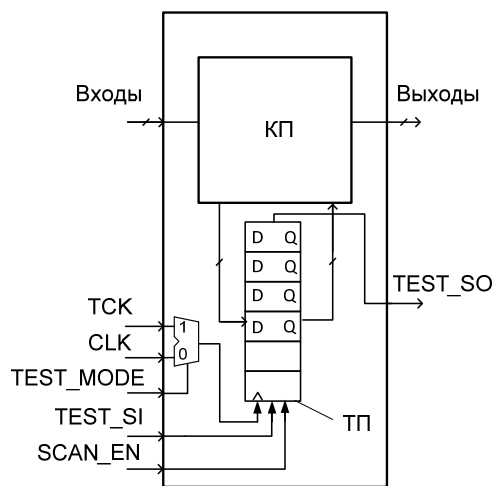


Рис. 2. Структура СБИС: скан-режим

выходом TEST_SO. Цепь тактируется сигналом TCK (в скан-режиме TEST_MODE = «1»). Последовательный сдвиг данных скан-цепи по TCK происходит при SCAN_EN = «1».

1. Архитектура отладки «зависаний» СБИС

Для поддержки системами отладки работы со скан-цепями реализуются две необходимые функции: механизм прерывания (по отладочному событию) и контроль выполнения. Прерывания определяют моменты времени, когда останавливается работа СБИС и осуществляется переход в режим отладки. Как только СБИС была остановлена, её внутреннее состояние

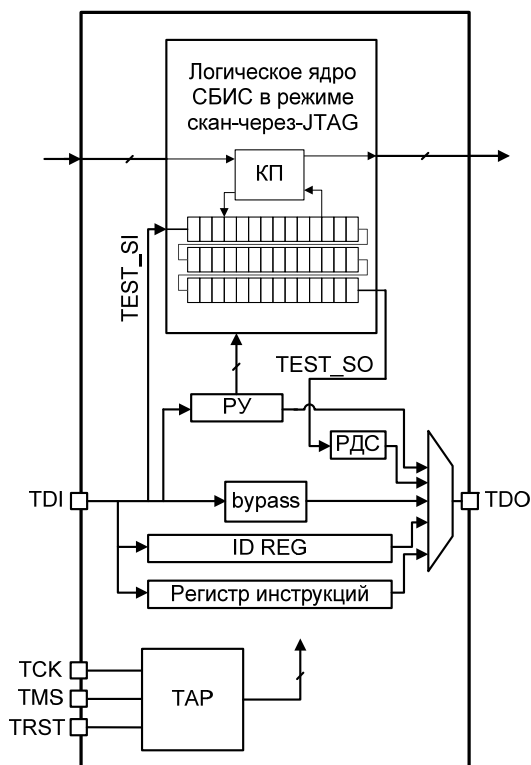


Рис. 3. Система скан-через-JTAG

передаётся внешней программе-отладчику для сравнения с состоянием, полученным в результате моделирования. Механизм прерываний может быть перенастроен таким образом, чтобы задавать различные моменты срабатывания прерывания для точной фиксации поведения СБИС.

Случаи «зависания» СнК, то есть состояния СБИС, в котором системный контроллер перестает обслуживать процессорное ядро, являются трудно предсказуемыми, а потому механизм прерываний по отладочному событию практически бесполезен. В данном случае для отладки

необходимо остановить работу синхросигналов СБИС после зависания и извлечь внутренние состояния триггерной подсистемы ТП СнК.

Механизм прерывания и управления предложенной системы отладки – системы скан-через-JTAG реализован с помощью пользовательских инструкций JTAG в соответствии со стандартом IEEE Std 1149.1-2001 [7], что позволило сократить площадь тестовой логики.

Так, были добавлены «Регистр управления» и «Регистр данных сдвига» (Рис. 3). Двухразрядный регистр управления (РУ) необходим для поэтапного переключения схемы СБИС из рабочего режима в режим скан-через-JTAG. Одноразрядный регистр данных сдвига (РДС) используется для последовательной выгрузки данных из скан-цепочки (Табл. 1).

2. Схема переключения синхросигналов

Логическое ядро СБИС должно быть переключено в скан-схему для осуществления сдвига данных триггеров СБИС. При переключении СБИС из рабочего режима в режим отладки может произойти нарушение истинных значений состояний ТП СБИС из-за ложных защёлкиваний в процессе переключения [8]. Для корректного переключения СБИС из режима работы в режим отладки скан-через-JTAG по сигналу с JTAG реализована схема переключения синхросигналов СПС (Рис. 4 а). Ввиду того, что сигналы управления с JTAG-контроллера синхронизованы по сигналу ТСК, а ядро СБИС в момент переключения тактируется рабочими синхросигналами, необходимо обеспечить бездребезговый перевод всех триггеров СБИС на тактирование по ТСК – через блок синхронизации [8, 9].

Табл. 1. Характеристики дополнительных регистров данных JTAG

JTAG-инструкция	Наименование регистра	Количество разрядов	№ разряда	Описание
SCAN_CONTROL	Регистр управления скан-схемой (РУ)	2	1	Формирует сигнал остановки и переключения синхросигналов
			2	Формирует сигнал готовности сдвига
SCAN_DATA	Регистр данных сдвига скан-цепи (РДС)	1	1	Формирует сигналы данных, выдвигаемых из скан-цепи

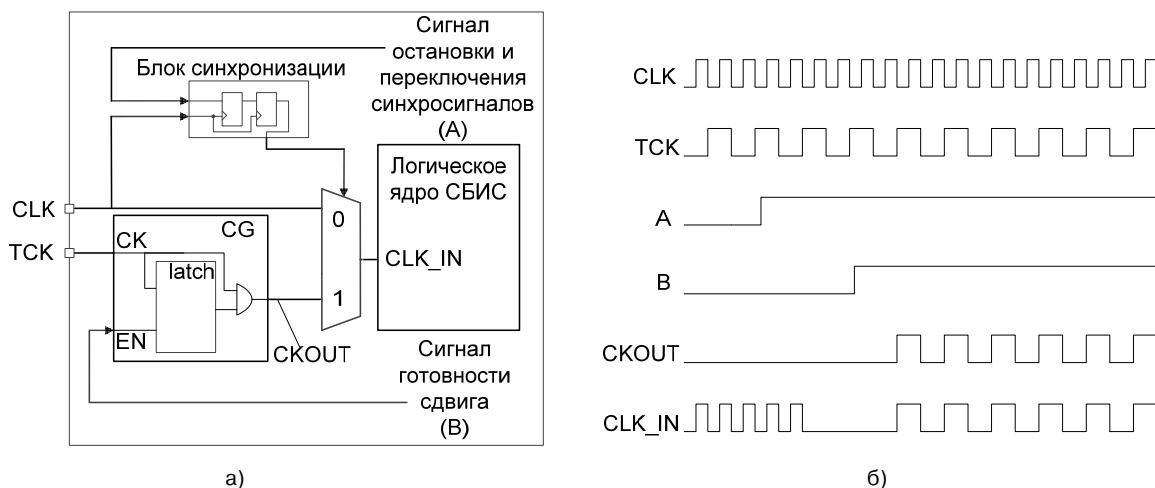


Рис. 4. Схема переключения синхросигналов

- а) функциональная схема
- б) временные диаграммы сигналов

В проект СБИС необходимо внести схемы переключения синхросигналов (СПС) для каждого рабочего синхросигнала, то есть в каждом домене синхросигналов СБИС. По сигналу с JTAG приходит сигнал остановки и переключения синхросигналов (А), который попадает в блок синхронизации, состоящий из двух последовательно соединённых D-триггеров, работающих по рабочему синхросигналу CLK. После переключения синхросигналов логическое ядро СБИС перестанет тактироваться рабочими синхросигналами и будет ожидать прихода сигнала готовности (В) сдвига, который разрешит пропускание тактов TCK через элемент Clock Gate (CG) в логическое ядро СБИС (Рис. 4 б).

3. Результаты внедрения системы отладки в СБИС

Система отладки скан-через-JTAG была встроена в высокопроизводительный MIPS-совместимый микропроцессор для космических применений типа СнК с проектными нормами 250 нм КНИ разработки НИИСИ РАН.

В рамках стандарта JTAG интерфейс процессора был расширен двумя JTAG-инструкциями: SCAN_CONTROL (регистр РУ) и SCAN_DATA (регистр РДС) (Табл. 1). Инструкция SCAN_CONTROL был присвоен код инструкции 0x68, инструкции SCAN_DATA – код 0x69.

Данная СБИС насчитывает 22 домена синхросигналов. В начале каждого домена были установлены схемы переключения синхросигналов СПС. Управление СПС подключено к РУ.

Синтез RTL-модели СБИС осуществлялся в САПР фирмы Synopsys – Design Compiler. После разложения СБИС на логические примитивы с применением временных ограничений по быстрдействию было осуществлено создание скан-схемы в виде единой скан-цепи. После создания скан-схемы ещё управляющие сигналы были подключены к СПС и созданным регистрам управления JTAG (Рис. 3).

По интерфейсу JTAG можно в любой момент времени осуществить остановку рабочих синхросигналов СБИС и выгрузку значений всех триггеров СБИС. Для этого осуществляется программное управление с тестирующего устройства по JTAG встроенными пользовательскими JTAG-регистрами – РУ и РДС (Рис. 3). Доступ к сигналам управления скан-схемой (SCAN_EN, TEST_MODE) по JTAG осуществляется регистром управления РУ JTAG. Помимо этого, выход скан-цепочки соединен со входом регистра данных сдвига РДС. Таким образом, единая скан-цепочка, подключенная к TAP-контроллеру, дает возможность по интерфейсу JTAG выгружать значения триггеров логического ядра СБИС. Выбирая регистр управления РУ, в котором выставляется значение лог. «1» в разряде №1 (остановка

Табл. 2. Сравнительные характеристики различных микропроцессоров

Характеристика	Обработка-2	PNX8525
Технология изготовления	250 нм КНИ КМОП	180 нм КМОП
Число триггеров	103134	193000
Напряжение питания, В	3,3	3,3
Число портов ввода/вывода	352	448
Число доменов синхросигналов	22	92
Площадь, мм ²	110	108

Табл. 3. Сравнительные характеристики систем отладки

Характеристика	Система скан-через-JTAG	Система отладки и отбраковки процессора PNX8525	EJTAG
Площадь тестовой логики, %	0,09	0,20	0,96
Возможность отладки «зависаний» СБИС	да	да	нет
Возможность применения для любой СБИС	да	да	нет
Совместимость с JTAG	да	да	да

рабочих синхросигналов и переключение на ТСК), а затем и в разряде №2 (логическая схема переключается в скан-схему). В итоге, выбирается регистр данных сдвигом РДС и по синхросигналу ТСК осуществляется последовательный сдвиг данных скан-цепочки через порт TDO по JTAG в тестирующее устройство.

Созданная аппаратно-программная система отладки была сравнена с системой отладки на основе технологии сканирования, реализованной в процессоре Philips Nexperia PNX8525 [10]. Характеристики микропроцессоров отражены в Табл. 2. Методика отладки данного процессора описана в работе [11]. Данные системы отладки также строятся на основе скан-схемы и имеют управление по JTAG.

Для сравнения проанализирована также архитектура отладки EJTAG, которая была встроена в MIPS-совместимый процессор «Обработка-2». Результаты сравнения архитектур отладки занесены в Табл. 3. Площадь тестовой логики была вычислена в процентах как площадь дополнительной логики относительно исходного проекта.

Из анализа данных Табл. 3 следует, что аппаратно-программная система на основе технологии сканирования скан-через-JTAG способна диагностировать «зависания» СБИС, занимая при этом менее 0,1% площади кристалла микросхемы. В отличие от EJTAG, данная система является универсальной, то есть не зависит от

аппаратной архитектуры СБИС, а значит, может быть встроена в любую цифровую СБИС. При этом достигается полная совместимость с интерфейсом JTAG.

Сравнение занимаемой площади данных систем показывает, что система скан-через-JTAG занимает в 2 раза меньше площади по сравнению с системами отладки на основе технологии сканирования (Рис. 5).

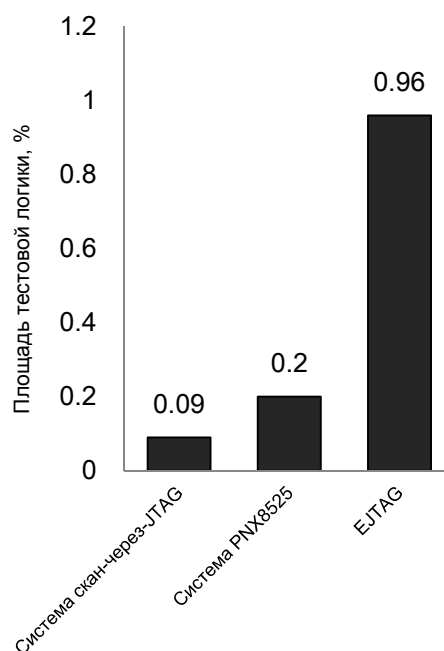


Рис. 5. Площадь систем отладки относительно исходного проекта

Заключение

Предложена аппаратно-программная система отладки «зависаний» СБИС на основе технологии сканирования для микропроцессоров типа СнК, позволяющая в 2 раза сократить площадь тестовой логики по сравнению с системами отладки на основе технологии сканирования и довести её до уровня 0,1% от исходной площади кристалла СБИС. Обоснованы схемотехнические решения при построении архитектуры встроенной системы отладки по критериям занимаемой площади и отладочного события.

Система скан-через-JTAG была применена при разработке высокопроизводительного микропроцессора, изготовленного по технологии КНИ с проектными нормами 0,25 мкм.

Литература

1. Stollon N. On-Chip Instrumentation: Design and Debug for Systems on Chip. New York: Springer, 2011. 49-52 p.
2. Ладнушкин М.С. Универсальная система отладки СБИС по интерфейсу JTAG на основе скан-технологии // Проблемы разработки перспективных микро- и наноэлектронных систем – 2014. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2014. С. 255-258.
3. Lha N., Gupta S. Testing of Digital Systems. New York: Cambridge University Press, 2003. P. 560-566.
4. Ладнушкин М.С. Методика встроенного тестирования субмикронных цифровых КМОП СБИС // Проблемы разработки перспективных микро- и наноэлектронных систем – 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. – М.: ИППМ РАН, 2012. С. 485-488.
5. DFT Compiler User Guide 2012. URL: <https://solvnet.synopsys.com> (дата обращения: 20.01.2014)
6. Опачий Ю.Ф. Аналоговая и цифровая электроника: Учебник для вузов. М.: Горячая Линия – Телеком, 2002. С. 572-574.
7. IEEE Std 1149.1-2001 URL: http://fiona.dmc.pl/~cmaj/JTAG/JTAG_IEEE-Std-1149.1-2001.pdf (дата обращения: 20.01.2014)
8. Крыницкий А.В., Евлампиев Б.Е. Схема переключения тактовых сигналов СБИС // Электроника, микро- и наноэлектроника. Сб. научных трудов. – М.: НИЯУ МИФИ, 2011. С. 242-245.
9. Goel S. K., Vermeulen B. Data Invalidation Analysis for Scan-Based Debug on Multiple-Clock System Chips // Journal of Electronic Testing: Theory and Applications. 2003. V. 19. № 1. P. 407-416.
10. Vermeulen B., Oostdijk S., Bouwman F. Test and Debug Strategy of the PNX8525 Nexperia™ Digital Video Platform System Chip // IEEE International Test Conference (ITC). - October 2001. – P. 121-130.
11. Rootselaar G. J. V., Vermeulen B. Silicon Debug: Scan Chains Alone Are Not Enough // IEEE International Test Conference (ITC). - September 1999. – P. 892-902.

Ладнушкин Максим Сергеевич. Младший научный сотрудник ФГН ФНЦ НИИСИ РАН. Окончил НИЯУ МИФИ в 2011 году. Автор 11 печатных работ. Область научных интересов: разработка средств отладки и отбраковки цифровых КМОП СБИС. E-mail: maximsl@gmail.com