

# Производительность процессоров КОМДИВ на ряде типовых расчётных задач<sup>1</sup>

П.Б. Богданов, О.Ю. Сударева

**Аннотация.** Рассматриваются отечественные специализированные микропроцессоры семейства КОМДИВ, разработанные в ФГУ ФНЦ НИИСИ РАН: КОМДИВ128-РИО и КОМДИВ128-М. Для трёх алгоритмов: быстрого преобразования Фурье, геометрического многосеточного метода и умножения разреженной матрицы на вектор, – приводятся сравнительные результаты замеров производительности на этих процессорах с продуктами компаний Intel, Texas Instruments и МЦСТ. Делаются выводы о возможности применения процессоров КОМДИВ в вычислениях общего назначения.

**Ключевые слова:** КОМДИВ, Эльбрус, обработка сигналов, БПФ, NAS Parallel Benchmarks, MG, SpMV.

## Введение

Микропроцессоры КОМДИВ представляют собой специализированные процессоры цифровой обработки сигналов (ЦОС). В настоящее время на их основе строятся многопроцессорные вычислительные комплексы реального времени для решения задач гидроакустики [1] и других задач ЦОС.

В данной работе рассматриваются два микропроцессора: КОМДИВ128-РИО (далее ВМ7), изготавливаемый по проектным нормам КМОП 0,18 мкм, и микропроцессор КОМДИВ128-М (далее ВМ9), выпущенный в 2016 году по технологии TSMC 65 нм. Процессоры имеют гетерогенную многоядерную архитектуру: управляющее ядро RISC-архитектуры КОМДИВ64 (развитие MIPS) и математический SIMD-сопроцессор CP2 вещественной и комплексной арифметики одинарной точности со специализированными возможностями ЦОС (патент РФ «Гетерогенный процессор» № 2513759, Осипенко

Павел Николаевич, Новожилов Евгений Авенирович, Кушниренко Анатолий Георгиевич, Райко Глеб Олегович). Обмен данными между локальной памятью сопроцессора CP2 и системной памятью осуществляется через канал прямого доступа к памяти (DMA). В многопроцессорных комплексах процессоры объединяются с помощью высокопроизводительной коммуникационной среды на базе протокола RapidIO [2].

В отличие от ВМ7, ВМ9 имеет два изолированных управляющих ядра на кристалле и, соответственно, два сопроцессора CP2 с отдельными каналами DMA. Обмен данными между ядрами может быть осуществлён через встроенный накристалльный коммутатор RapidIO, либо через специальные окна системной памяти каждого ядра, которые отображены на память соседа. Кроме того, ВМ9 имеет ряд отличий в архитектуре самого управляющего ядра, в частности, обладает кэш-памятью 2-го уровня объёмом 512 Кбайт на каждое ядро, что в совокупности с другими усовершенствованиями обеспечивает

<sup>1</sup>Работа выполнена в рамках проекта № 1.2 «Разработка архитектурно-программных решений для высокопроизводительных комплексов потоковой обработки данных в реальном масштабе времени» (№ 0065-2015-0118) подпрограммы № III.3.4 фундаментальных научных исследований ОНИТ РАН «Архитектурно-программные решения и обеспечение безопасности суперкомпьютерных информационно-вычислительных комплексов новых поколений»

более высокую производительность относительно процессорного ядра VM7. Контроллер системной памяти на VM7 поддерживает работу с памятью типа DDR2, на VM9 – DDR2 и DDR3. Пиковая производительность одного процессорного ядра (с использованием CP2) на вещественных операциях одинарной точности составляет: VM7 – 8 ГФЛОП/с на частоте 200 МГц, VM9 – 48 ГФЛОП/с на частоте 1200 МГц.

Низкоуровневая оптимизация с использованием сопроцессора CP2 позволяет добиться высокой производительности для многих вычислительных процедур. Так, для VM7 была разработана библиотека цифровой обработки сигналов (БЦОС), в которую вошли многие часто используемые процедуры – в частности, быстрое преобразование Фурье (БПФ) и свёртка [3]. Библиотека совместима с VM9. Возникает вопрос о возможности эффективной реализации по тем же принципам более широкого класса алгоритмов, применяемых в вычислениях общего назначения.

## 1. Тестирование архитектуры КОМДИВ на задачах общего назначения

Для демонстрации возможностей процессоров КОМДИВ выбраны три математических алгоритма: *БПФ*, *геометрический многосеточный*

*метод* (MG) из набора тестов NAS Parallel Benchmarks (NPB, [4]) и *умножение разреженной матрицы на вектор* (SpMV, основная вычислительноёмкая процедура теста «метод сопряжённых градиентов» CG из NPB). Разработанные авторами реализации этих алгоритмов, оптимизированные под сопроцессор CP2 [5, 6], были протестированы на VM7 и VM9. Для сравнения авторами были проведены замеры производительности аналогичных процедур на типичном серверном узле, состоящем из двух восьмиядерных процессоров Intel Xeon E5-2670 (v1) Sandy Bridge (далее Xeon). Приведена также информация о производительности на выбранных алгоритмах процессоров Эльбрус-4С и процессора TMS320C6678 на тесте БПФ.

Во всех процедурах вычисления выполняются с вещественными числами одинарной точности; производительность приводится в МОП/с.

### 1.1. Алгоритм БПФ

В Табл. 1 представлены сравнительные характеристики процессоров и производительность БПФ на комплексных векторах различных длин (N). На одном ядре процессора Xeon и на 16 ядрах двух процессоров тестировалась процедура из библиотеки FFTW [7], с использованием OpenMP. Для специализированного процессора обработки сигналов TMS320C6678

Табл. 1. Характеристики процессоров и производительность БПФ

	VM7 CP2	VM9 CP2	TMS320C6678	Xeon E5-2670v1	
Частота CPU	200	1200	1250	2600	
Ядер	1	1	8 (ЦОС-ядра)	1	16 (2xCPU)
Частота памяти	200	800	800	800	800
Каналов	1	1	2	1	8
TDP, Вт	13	17	17	14	230
Техпроцесс	180нм	65нм	40нм	32нм	32нм
N	Производительность, МОП/с				
64	3083	14347	-	9979	195199
128	3868	16147	-	7092	129584
256	4745	18639	57617	7829	64164
512	5457	21836	-	8972	58695
1024	5946	24587	75207	9358	75824
2048	6041	27208	-	8449	79782
4096	5198	30141	60000	10504	88756
8192	3108	10724	-	8766	86513
16384	3207	12124	23457	7323	79657
32768	3494	12347	33108	7281	68991
65536	3768	12910	44165	7325	53758

данные о производительности процедур БПФ взяты из открытых источников [8, 9]. Частоты приводятся в МГц, под ядром подразумевается одно ядро управляющего процессора (CPU) и ЦОС-ядро в случае TMS320C6678. TDP – тепловой пакет процессора в пересчёте на используемое количество ядер, в Вт.

В открытых источниках не удалось найти полных данных по производительности алгоритма БПФ на процессоре Эльбрус-4С [10] (4 ядра 800 МГц архитектуры e2k, 3-х канальный контроллер DDR3-1600, энергопотребление 60 Вт, техпроцесс 65 нм) производства российской компании МЦСТ. Тем не менее, в работе [11] приведены теоретические значения максимально возможной производительности одного ядра для 16, 32 и 64-битной вещественной арифметики. Для одинарной точности (32 бита) это значение составляет 8 ГОП/с, что примерно соответствует производительности одного ядра тестируемого в работе Хеон при среднем потреблении порядка 15 Вт. Стоит отметить, что при расчете на VM9 БПФ размера 4096 вычислительные операции превалируют над обменами, поэтому достигается ускорение относительно VM7 в 5,8 раз – это соответствует почти линейному масштабированию с увеличением частоты ядра от 200 МГц к 1200 МГц.

**1.2. Алгоритм МГ**

В NPВ определяются классы задач, соответствующие различным объёмам входных данных и количеству итераций циклов в алгоритмах.

В Табл. 2 приводится производительность МГ классов до В включительно – ограничение сверху связано с объёмом системной памяти VM7 и VM9. На Хеон также протестирована OpenMP-версия NPВ для CPU; результаты тестирования MPI-версии NPВ на Эльбрус-4С взяты из [11]. Версии OpenMP и MPI на одном процессоре по факту имеют одинаковые показатели производительности, но в случае Эльбрус-4С поддержка распараллеливания на многопроцессорной установке с помощью OpenMP носит экспериментальный характер, поэтому для тестирования используется MPI-версия. В Табл. 2 приводятся оценки производительности Эльбрус-4С на числах одинарной точности, которая с оответствует производительности на числах двойной точности, увеличенной в два раза.

На Хеон, при достаточно большом объёме данных, масштабируемость близка к линейной до 8 потоков (что соответствует количеству каналов к памяти). При дальнейшем увеличении количества потоков рост производительности замедляется. Это свидетельствует о том, что на производительности МГ пропускная способность памяти сказывается в большей степени, чем пиковая производительность процессора. Аналогичная ситуация наблюдается и на системе с четырьмя процессорами Эльбрус-4С. Вместе с тем, использование CP2 и DMA на VM7 и VM9 позволяет минимизировать отрицательное влияние пересылок, и таким образом соотношение производительностей оказывается близко к соотношению рабочих частот процессоров.

Табл. 2. Производительность МГ

	VM7 CPU	VM9 CPU	VM7 CP2	VM9 CP2	Эльбрус-4С		Хеон E5-2670 v1	
<b>Частота CPU</b>	200	1200	200	1200	800	800	2600	2600
<b>Ядер</b>	1	1	1	1	1	16 (4xCPU)	1	16 (2xCPU)
<b>Частота памяти</b>	200	800	200	800	800	800	800	800
<b>Каналов</b>	1	1	1	1	1	12	1	8
<b>TDP, Вт</b>	13	17	13	17	15	240	14	230
<b>Техпроцесс</b>	180нм	65нм	180нм	65нм	65нм	65нм	32нм	32нм
<b>Класс</b>	<b>Производительность, МОП/с</b>							
<b>S</b>	17	371	277	850	-	-	4897	3767
<b>W</b>	17	383	648	2760	-	-	5828	53282
<b>A</b>	17	355	680	3067	-	-	5739	41088
<b>B</b>	18	383	692	3091	3326	32080	6717	44587

Отдельно необходимо пояснить тот факт, что при бóльшей пиковой производительности CP2 BM9 на числах одинарной точности, в 48 ГОП/с, производительность на MG примерно на 10% меньше, нежели у одного ядра Эльбрус-4С с пиковой производительностью в 12,8 ГОП/с одинарной точности. Дело в том, что производительность в 12,8 ГОП/с при 800 МГц достигается на инструкциях умножения с накоплением – ядро Эльбрус-4С может выполнить восемь таких инструкций, то есть шестнадцать вещественных операций, за один такт. Дополнительно стоит отметить мощный оптимизирующий компилятор для архитектуры Эльбрус (e2k), который разработан специально для оптимального разложения программного потока инструкций в слоты VLIW-команд, что в некоторых случаях существенно повышает общую эффективность исполнения программ. В тоже время, сорок операций за такт на CP2 BM9 достигается на инструкции «бабочка Фурье», которая состоит из десяти вещественных операций и производится параллельно в четырёх вычислительных секциях CP2. На инструкции умножения с накоплением одна секция CP2 производит четыре вещественных операции за один такт, тем самым обеспечивая лишь 19,2 ГОП/с в пике. При этом вычисление MG на CP2 связано с дополнительной работой по перегруппировке пар вещественных элемен-

тов на CP2 и с избыточностью при пересылке данных по DMA, обусловленной требованием к выравниванию. К тому же, производительность пересылок при переходе от DDR2-400 к DDR3-1600 не увеличивается линейно в 4 раза, а по факту показывает ускорение лишь в 2,5 раза. Объясняется это более слабым контроллером памяти BM9, обеспечивающим две параллельные транзакции к памяти, в то время как на BM7 в силу его специального назначения таких транзакций восемь. В результате на разреженном доступе к памяти задержка обращения к памяти не скрывается за счет следующего запроса, поэтому эффективность обменов данными с CP2 через DMA на BM9 оказывается в полтора раза ниже, чем на BM7. Можно прогнозировать, что при условии доработки контроллера памяти показатели производительности теста MG должны быть выше полученных не менее чем на 30%, то есть порядка 4000 МОП/с, что было бы уже сопоставимо с производительностью Xeon.

### 1.3. Процедура SpMV

Для процедуры SpMV замеры производились на матрицах классов S, W, A, B алгоритма метода сопряжённых градиентов (NPB CG) – результаты приводятся в Табл. 3. Для каждого класса матрица имеет порядок  $n \times n$  и  $nz$  ненулевых элементов. На BM7 и BM9 приводятся результаты замеров

Табл. 3. Производительность SpMV

	BM7 CPU	BM7 CP2	BM9 CPU	BM9 CP2	Xeon E5-2670v1
<b>Частота CPU</b>	200	200	1200	1200	2600
<b>Ядер</b>	1	1	1	1	1
<b>Частота памяти</b>	200	200	800	800	800
<b>Каналов</b>	1	1	1	1	1
<b>TDP</b>	13	13	17	17	14
<b>Техпроцесс</b>	180нм	180нм	65нм	65нм	32нм
<b>Матрица</b>	<b>Производительность, МОП/с</b> (* – теоретическая оценка на основе потактового эмулирования)				
<b>S</b> ( $n=1400, nz=78148$ )	9	78	167	535 (593*)	1783
<b>W</b> ( $n=7000, nz=508402$ )	8	96	154	602 (641*)	1895
<b>A</b> ( $n=14000, nz=1853104$ )	7	98	158	618 (631*)	2065
<b>B</b> ( $n=75000, nz=13708072$ )	6	56	132	456 (554*)	1627

оптимизированной на SP2 процедуры, а также процедуры на CPU. Процедура SpMV для CPU была протестирована и на Xeon. Данные о производительности SpMV на Эльбрус-4С не приводятся в силу недоступности аппаратного стенда на базе этого процессора. В [11] отмечается, что вычисления с разреженными матрицами на процессорах Эльбрус требуют ручной архитектурно-зависимой оптимизации.

В большинстве прикладных задач определяющую роль при умножении разреженной матрицы на вектор играет производительность подсистемы памяти. Однако в алгоритме CG пакета NPB матрицы сгенерированы таким образом, что в каждой строке ненулевые значения равномерно распределены по всей её длине, а время вычислений на рассматриваемых аппаратных платформах на порядок преобладает над временем пересылок. В силу того, что сопроцессор SP2 имеет SIMD-архитектуру, при вычислениях в ядре загрузку элементов входного вектора возможно производить только последовательно, секция за секцией. Если бы у четырёх вычислительных секций сопроцессора SP2 были отдельные счётчики адресов, то производительность процедуры SpMV увеличилась бы втрое и была бы сопоставима с показателями процессора Xeon. Однако уже сейчас, когда производительность процедуры умножения разреженной матрицы на вектор определяется чисто чтением данных из локальной памяти на SP2, показатели VM9 сопоставимы по порядку с Xeon. Более подробное исследование производительности процедуры SpMV на архитектуре КОМДИВ на широком классе матриц будет представлено в отдельной публикации.

## **2. Возможность априорного предсказания эффективности расчётных алгоритмов, оптимизированных для исполнения на гетерогенных вычислительных узлах**

В течение многих лет развития вычислительных алгоритмов сложность алгоритма измерялась числом требуемых для его «прогона» элементарных арифметических операций, а пиковая производительность компьютера измеря-

лась числом элементарных арифметических операций, производимых в секунду. При таком подходе для оценки сверху продолжительности выполнения конкретного алгоритма на конкретном компьютере нужно было просто разделить «сложность» алгоритма на пиковую производительность компьютера. Хотя вычисление этого частного давало лишь теоретическую оценку эффективности сверху, на практике реальное время исполнения удавалось доводить до значений по порядку равных теоретическим.

С усложнением архитектуры классических микропроцессоров и появлением гетерогенных микропроцессоров подход, при котором учитывается только количество элементарных вычислительных операций, перестаёт работать. Во многих ситуациях, например, для алгоритмов вычислительной гидродинамики (CFD), выполняемых на гетерогенном процессоре, продолжительность выполнения лимитируется не столько пиковой производительностью системы (или даже производительностью на тесте LINPACK), сколько другими факторами, такими как производительность подсистемы памяти при различных схемах доступа к ней, а также возможностями параллелизма, заложенными в сам алгоритм.

В работе [12] описана методика грубой априорной оценки сверху производительности вычислительных алгоритмов на вычислительных узлах с гетерогенной архитектурой, на основе современных универсальных процессоров и графических ускорителей. В [5] эта методика применяется к алгоритму MG на процессорах КОМДИВ; ранее в [3] аналогичные оценки проводились для алгоритмов БПФ и свёртки.

Согласно этим теоретическим оценкам, в алгоритме БПФ для большинства длин  $N$  время обменов данными по DMA сопоставимо по порядку, но превышает время вычислений в ядре на SP2. Это подтверждается и результатами в Табл. 1: соотношение производительностей на VM7 и VM9 в большинстве случаев соответствует соотношению частот памяти, а не рабочих частот CPU. За счёт эффективного совмещения пересылок с вычислениями накладные расходы на пересылки оказываются невелики.

В алгоритме MG, согласно теоретическим оценкам, время вычислений превышает время

пересылок, таким образом, пересылки могут быть эффективно скрыты за вычислениями и не оказывать влияния на общую производительность. Эти оценки подтвердились для описанной в [5] процедуры на VM7. В дальнейшем процедура была доработана: в частности, ядра были ускорены более чем в 2 раза. В тоже время, по результатам замеров на реальном процессоре VM9 скорость пересылок по DMA в алгоритме MG оказалась ниже, чем теоретический пик при последовательном доступе, как в алгоритме БПФ. В результате на VM9, в отличие от VM7, на ряде процедур, составляющих алгоритм MG, пересылки начинают преобладать над вычислениями. Это отражено и в полученных результатах в Табл. 2: соотношение производительностей на VM7 и VM9 ближе к соотношению частот памяти, чем рабочих частот ядра.

Что касается процедуры SpMV, в силу относительно низкой эффективности ядра время пересылок оказывается незначительным по сравнению со временем вычислений.

Таким образом, можно сделать вывод, что результаты данной работы в основном подтверждают теоретические прогнозы, сделанные в статье [12].

### 3. Перспективы использования процессоров КОМДИВ

На алгоритмах обработки сигналов одно ядро микропроцессора VM9, с использованием CP2, показывает более высокую производительность, чем одно ядро современного универсального процессора от Intel, несмотря на менее совершенный технологический процесс изготовления и, соответственно, более низкую тактовую частоту. Это достигается за счёт двух факторов: использования специализированной архитектуры CP2 и высокопроизводительного канала DMA. По результатам замеров, для памяти типа DDR3 на частоте 800 МГц пиковая скорость передачи составляет 9,9 ГБ/с из теоретически достижимых 12,8 ГБ/с [13], что соответствует 77% утилизации канала к памяти.

Как показывает пример алгоритма MG, второй фактор – наличие высокопроизводительного канала DMA – позволяет эффективно использовать сопроцессор CP2 и для решения других за-

дач – главным образом, задач, связанных с массивно-параллельной обработкой и пересылками больших объёмов данных. Хотя на алгоритме MG одно ядро VM9 в настоящее время уступает одному ядру Xeon, в пересчёте на 1 ГГц тактовой частоты производительности сопоставимы. Возможно дальнейшее повышение производительности VM9 за счёт внесения ряда доработок в архитектуру процессора: расширения набора инструкций CP2 и функциональных возможностей контроллера DMA. Предварительные оценки эффективности этих доработок позволяют говорить о возможности достижения не только паритета, но и существенного превосходства CP2 над тестируемым ядром Xeon даже при текущей частоте в 1,2 ГГц.

К приоритетным задачам относится также поддержка на CP2 вычислений с двойной точностью, что является необходимым условием для использования микропроцессора в реальных задачах естествознания и промышленности.

Повышение эффективности выполнения алгоритмов с нерегулярным доступом к памяти, например, SpMV, требует как доработки архитектуры CP2, так и разработки специальных форматов данных для разреженных структур, чтобы стала возможной их обработка на SIMD-вычислителе. Тем не менее, уже сейчас в пересчёте на 1 ГГц VM9 демонстрирует отличные показатели производительности, сопоставимые с топовыми продуктами Intel.

Можно сделать вывод, что технологии и архитектурные решения, реализованные в процессорах КОМДИВ, при условии дальнейшего развития, имеют реальные перспективы для использования в вычислениях общего назначения.

Авторы выражают благодарность сотрудникам ФГУ ФНЦ НИИСИ РАН Райко Г.О., Хропову М.С., Мамонову П.А. и Ткаченко Е.В. за помощь в подготовке аппаратного стенда и системного ПО.

### Литература

1. Райко Г.О., Павловский Ю.А., Мельканович В.С. Технология программирования многопроцессорной обработки гидроакустических сигналов на вычислительных устройствах семейства «КОМДИВ» // Гидроакустика. Вып. 20 (2). — СПб.: ОАО «Концерн "Океанприбор"», 2014. — 118 с.

2. Павлов А.Н. Обзор коммуникационной среды RapidIO. Формальная модель RapidIO. Программная поддержка RapidIO // Моделирование и визуализация. Многопроцессорные системы. Инструментальные средства разработки ПО / Сборник статей под редакцией академика РАН В. Б. Бетелина. — М.: НИИСИ РАН, 2009. — с.105–147.
3. Сударева О.Ю. Эффективная реализация алгоритмов быстрого преобразования Фурье и свёртки на микропроцессоре КОМДИВ128-РИО. — Москва: НИИСИ РАН, 2014. — 266 с.
4. D. Bailey, E. Barszcz, J. Barton, D. Browning, R. Carter, L. Dagum, R. Fatoohi, S. Fineberg, P. Fred-erickson, T. Lasinski, R. Schreiber, H. Simon, V. Venkatakrishnan and S. Weeratunga. The NAS Parallel Benchmarks // RNR Technical Report RNR-94-007, March 1994.
5. Сударева О.Ю. Реализация алгоритма MG из пакета NPВ для многопроцессорного вычислительного комплекса на базе микропроцессора КОМДИВ128-РИО // Труды НИИСИ РАН, 2015. Т. 5, № 1, с. 75–78.
6. Богданов П.Б., Сударева О.Ю. Применение отечественных специализированных процессоров семейства КОМДИВ в научных расчётах // Информационные Технологии и Вычислительные Системы, 2016. Т. 3, с. 45–65.
7. Frigo M., Johnson S. G. The design and implementation of FFTW3 // Proceedings of the IEEE, 2005. V. 93, № 2, pp. 216–231.
8. Kumar Mukesh. White Paper — Comparing TI's TMS320C6671 DSP with ADI's ADSP-TS201S TigerSHARC® Processor // SPRABN8A — January 2012.
9. Li Xiaohui, Blinks Ellen. Very large FFT for TMS320C6678 processors // Texas Instruments — 2015.
10. АО «МЦСТ». Микропроцессор Эльбрус-4С //
11. URL: <http://www.mcst.ru/mikroprocessor-elbrus4s>
12. Тютляева Е.О., Конюхов С.С., Московский А.А., Одинцов И.О. Оценка потенциала использования платформы Эльбрус для высокопроизводительных вычислений // Суперкомпьютерные дни в России: труды международной конференции, 2016. С. 373–385.
13. Богданов П.Б., Сударева О.Ю. Гетерогенное программирование в рамках стандарта OpenCL // Супервычисления и математическое моделирование: труды XV Международной конференции, 13-17 октября 2014 г. / под ред. Р.М. Шагалиева. — Саров: ФГУП «РФЯЦ ВНИИЭФ», 2015. С. 123–137.
14. DDR3 SDRAM // URL: [https://en.wikipedia.org/wiki/DDR3\\_SDRAM](https://en.wikipedia.org/wiki/DDR3_SDRAM)

**Богданов Павел Борисович.** Младший научный сотрудник НИИСИ РАН. Окончил МГУ в 2003 году. Количество печатных работ: 17. Область научных интересов: высокопроизводительные вычисления, OpenCL, низкоуровневая оптимизация. E-mail: [bogdanov@niisi.msk.ru](mailto:bogdanov@niisi.msk.ru)

**Сударева Ольга Юрьевна.** Младший научный сотрудник НИИСИ РАН. Окончила МГУ в 2010 году. Количество печатных работ: 5, из них одна монография. Область научных интересов: высокопроизводительные вычисления, GPGPU, OpenCL, цифровая обработка сигналов, БПФ, низкоуровневая оптимизация. E-mail: [sudareva@niisi.msk.ru](mailto:sudareva@niisi.msk.ru)

## The KOMDIV microprocessors performance on a number of typical computational problems

P.B. Bogdanov, O.J. Sudareva

In this paper we consider Russian microprocessors of the KOMDIV series devised by the ISR RAS: KOMDIV128-RIО and KOMDIV128-M. For three computational algorithms: Fast Fourier Transform (FFT), geometric multigrid method (MG) and sparse matrix-vector multiplication (SpMV) – we provide the results of performance testing on these microprocessors compared to several products of Intel, Texas Instruments and MCST companies. We draw conclusions about the applicability of KOMDIV microprocessors for general-purpose computing.

**Keywords:** KOMDIV, Elbrus, signal processing, FFT, NAS Parallel Benchmarks, MG, SpMV

### References

1. Rajko G.O., Pavlovskij J.A., Melkanovich V.S. Technology of programming of multiprocessor processing of hydroacoustic signals on “KOMDIV” computer set // Hydroacoustics. Issue 20 (2). — SPb.: The “Oceanpribor” concern, 2014. — 118 pp.
2. Pavlov A.N. The overview of RapidIO communication framework. A formal RapidIO model. The RapidIO software support // Modeling and visualization. Multiprocessor systems. Software development tools / Collection of articles edited by RAS academician V. B. Betelin. — Moscow: ISR RAS, 2009. — pp.105–147.
3. Sudareva O.J. The effective implementation of the Fast Fourier Transform and convolution algorithms for the KOMDIV128-RIО microprocessor. — Moscow: ISR RAS, 2014. — 266 pp.
4. D. Bailey, E. Barszcz, J. Barton, D. Browning, R. Carter, L. Dagum, R. Fatoohi, S. Fineberg, P. Fred-erickson, T. Lasinski, R. Schreiber, H. Simon, V. Venkatakrishnan and S. Weeratunga. The NAS Parallel Benchmarks // RNR Technical Report RNR-94-007, March 1994.

5. Sudareva O.J. The NPB MG algorithm implementation for multi-processor complex based on the KOMDIV128-RIO microprocessor // ISR RAS transactions, 2015. V. 5, № 1, pp. 75–78.
6. Bogdanov P.B., Sudareva O.J. The applicability of Russian special-purpose KOMDIV microprocessor series for scientific computations // Information Technologies and Computational Systems, 2016. V. 3, pp. 45–65.
7. Frigo M., Johnson S.G. The design and implementation of FFTW3 // Proceedings of the IEEE, 2005. V. 93, № 2, pp. 216–231.
8. Kumar Mukesh. White Paper — Comparing TI’s TMS320C6671 DSP with ADI’s ADSP-TS201S TigerSHARC® Processor // SPRABN8A — January 2012.
9. Li Xiaohui, Blinka Ellen. Very large FFT for TMS320C6678 processors // Texas Instruments — 2015.
10. AO “MCST”. The Elbrus-4S microprocessor //
11. URL: <http://www.mcst.ru/mikroprocessor-elbrus4s>
12. Tutliaeva E.O., Konukhov S.S., Moskovsky A.A., Odintsov I.O. The estimate of potentiality of the Elbrus platform for high-performance computing // Supercomputing days in Russia: proceedings of the international conference, 2016. Pp. 373–385.
13. Bogdanov P.B., Sudareva O.J. Heterogeneous programming based on the OpenCL standard // Supercomputing and mathematical modeling: proceedings of the XV international conference, October 13-17, 2014. / ed. By R.M. Shagaliev. – Sarov: RFNC-VNIIEF, 2015. Pp. 123–137.
14. DDR3 SDRAM // URL: [https://en.wikipedia.org/wiki/DDR3\\_SDRAM](https://en.wikipedia.org/wiki/DDR3_SDRAM)

**Bogdanov Pavel Borisovich.** ISR RAS, Junior Researcher. Lomonosov Moscow State University, Faculty of Computational Mathematics and Cybernetics, 2003. 17 printed works, [http://elibrary.ru/author\\_items.asp?authorid=153619](http://elibrary.ru/author_items.asp?authorid=153619). High-Performance Computing, OpenCL, SpMV, low-level optimization. E-mail: [bogdanov@niisi.msk.ru](mailto:bogdanov@niisi.msk.ru)

**Sudareva Olga Jurjevna.** ISR RAS, Junior Researcher. Lomonosov Moscow State University, Faculty of Mechanics and Mathematics, 2010. 5 printed works, incl. 1 monography. High-Performance Computing, GPGPU, OpenCL, Digital Signal Processing, FFT, MG, SpMV, low-level optimization. E-mail: [sudareva@niisi.msk.ru](mailto:sudareva@niisi.msk.ru)