

Исследование метода дублирования триггеров в средствах тестирования с компрессией

М.С. Ладнушкин

Федеральное государственное учреждение "Федеральный исследовательский центр "Информатика и управление" Российской академии наук", г. Москва, Россия

Аннотация. В данной работе исследуется метод сокращения времени тестирования неисправностей цифровой СБИС за счёт дублирования отдельных функциональных триггеров. Сокращение времени тестирования обусловлено увеличением тестируемости сигналов, а также снижением взаимных конфликтов неисправностей в логических путях СБИС. Предложен алгоритм отбора триггеров для дублирования на основе поиска логических путей с наибольшим числом источников сигналов, который был использован при проектировании встроенных средств тестирования ряда заказных блоков и систем-на-кристалле. Результаты показали снижение времени тестирования в среднем на 14,4% при аппаратных затратах, не превышающих 1,2% общей площади СБИС.

Ключевые слова: тестирование, отбраковка микросхем, дублирование триггеров, компрессия тестовых сигналов, моделирование.

DOI 10.14357/20718632180304

Введение

Внедрение дополнительных тестовых структур контроля и наблюдения внутренних узлов в СБИС позволяет увеличить тестовое покрытие и сократить время тестирования. Создание тестового режима работы, в котором триггерная подсистема СБИС используется в качестве сдвигового регистра (скан-схемы) [1] позволяет полностью контролировать и наблюдать состояние всех триггеров СБИС и использовать их для тестирования комбинационной части СБИС.

Объемы тестовых данных, необходимых для тестирования микросхем растут и встраиваемые средства сжатия [2], [3] не всегда позволяют сократить время тестирования до приемлемых величин в виду многих причин, включая рост длин логических путей, увеличение количества взаимных конфликтов неисправностей, а

также необходимость снижения уровня абстракции при создании тестовых последовательностей для СБИС с уровня логических элементов до уровня транзисторов [4, 5].

С ростом длин логических комбинационных путей и ростом количества сходящихся разветвлений снижается наблюдаемость и контролируемость узлов этих путей в режиме тестирования [6-8]. Для решения данной проблемы в определённые узлы СБИС встраиваются дополнительные тестовые схемы - тестовые точки контроля и обзора – дополнительные триггеры с управляющей логикой, позволяющие увеличить наблюдаемость и контролируемость отдельных узлов комбинационной подсистемы СБИС [9].

Установка тестовых точек приводит к сокращению времени тестирования до 35% [10], [11]. Современный метод установки тестовых точек, снижающий количество взаимных кон-

фликтов неисправностей типа «залипание», позволяет сократить время тестирования в среднем в 2,2 раза для скан-схем с компрессией за счёт увеличения количества неисправностей, тестируемых каждым тестовым вектором [12]. Однако установка тестовых точек уменьшает ресурс трассировки, увеличивает задержки распространения сигналов и увеличивает площадь тестовой логики, которая используется только в режиме тестирования и в рабочем режиме не функционирует. Современные методы создания тестовых точек используют существующие функциональные триггеры СБИС, вместо дополнительных, что позволяет сократить аппаратные затраты на тестовую логику, однако увеличения задержек критических путей после установки тестовых точек избежать не удастся [13, 14]. Увеличение контролируемости и наблюдаемости критических с точки зрения быстродействия путей представляет серьёзную проблему при проектировании средств тестирования.

Метод создания копий отдельных элементов (дублирования) известен как способ сокращения длин проводников при проектировании топологии СБИС, что позволяет сократить задержки распространения сигналов [15]. Триггер и его копия в функциональном режиме находятся в одинаковом логическом состоянии в любой момент времени. Считается, что и в режиме скан-тестирования должно сохраняться равенство состояний этих триггеров, так как загрузка различных значений в дублированные скан-триггеры может привести к выходу микросхемы из строя в случае, если в схеме присутствуют логические элементы, допускающие сквозные токи [16]. Однако если таких элементов на кристалле немного или нет вообще, то использование копий триггеров как независимых переменных при генерации тестовых последовательностей может увеличить тестируемость узлов комбинационной части СБИС.

1. Увеличение тестируемости узлов комбинационной схемы

В режиме скан-тестирования тестируемость логического узла (или вероятность обнаружения неисправности) комбинационной схемы может быть рассчитана как минимальное коли-

чество тестовых последовательностей, необходимых для обнаружения неисправности, делённое на максимальное количество уникальных входных воздействий [6]. Рассмотрим комбинационную схему с n входами $\vec{x} = (x_1, x_2, \dots, x_n)$ и m выходами $\vec{F} = (F_1, F_2, \dots, F_m)$. Пусть $g(\vec{x})$ – внутренний сигнал схемы, тогда тестируемость неисправностей типа «залипание-в-0» и «залипание-в-1» в сигнале g могут быть соответственно выражены [6, 17]

$$t(g/0) = S \left(g(\vec{x}) \sum_{j=1}^m \frac{\delta F_j}{\delta g} \right), \quad (1)$$

$$t(g/1) = S \left(\bar{g}(\vec{x}) \sum_{j=1}^m \frac{\delta F_j}{\delta g} \right), \quad (2)$$

где $t(g/0)$ – тестируемость неисправности типа «залипание-в-0», а $t(g/1)$ – типа «залипание-в-1». $S(F)$ – синдром функции F :

$$S(F) = K/2^n, \quad (3)$$

где K – количество минтермов функции F , а n – количество её входов. Произведение функций в скобках – это пересечение множеств входных воздействий, которые задают необходимое значение в сигнале $g(\vec{x})$ и обеспечивают наблюдение этого значения на выходах \vec{F} . Если схема содержит сходящиеся разветвления, то это пересечение множеств может оказаться довольно небольшим, что в результате приводит к снижению величин $t(g/i), i \in \{0; 1\}$.

Входные сигналы, имеющие разветвление на входах, могут быть разделены на отдельные независимые сигналы путём дублирования триггеров-источников, что позволяет сократить число сходящихся разветвлений в схеме, а значит и увеличить тестируемость этой схемы.

Рассмотрим изменение тестируемости узлов комбинационной схемы при дублировании триггеров в сравнении с использованием стандартных тестовых точек контроля и обзора.

На Рис. 1 а изображен пример фрагмента скан-цепи (триггеры 1-2) и связанная с ней комбинационная схема. Комбинационная схема имеет 2 независимых входа, которые обозначены переменными x_1 и x_2 и один выход – f . Данная комбинационная схема содержит сходящееся разветвление через узел x_2 . Представим, что в сигнале g есть константная неисправность типа «залипание-в-0» ($g/0$). Тестируемость сигнала $g = x_2$ согласно формуле (1) будет равна $t(g/0) = S(\bar{x}_1 \bar{x}_2 x_2) = 0$.

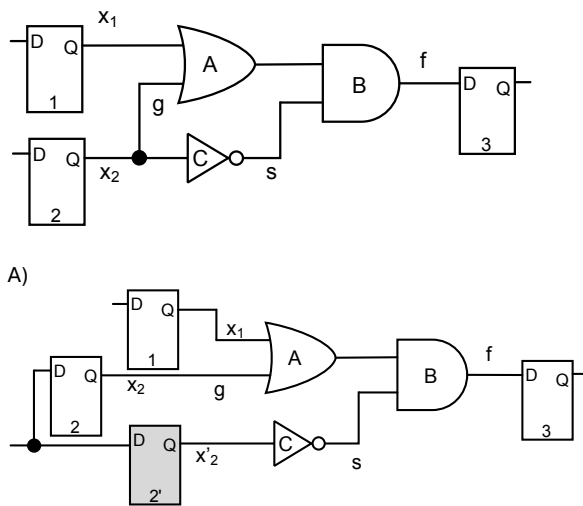


Рис. 1. Пример увеличения тестируемости в комбинационной схеме
 а) исходная схема;
 б) модифицированная схема с дублированием триггера

Тестируемость неисправности $g/0$ равна 0, и это значит, что неисправность «залипание-в-0» в данном узле средствами тестирования установить невозможно. Для увеличения тестируемости $t(g/0)$ этого узла необходимо внести аппаратные изменения в данную схему.

Рассмотрим модифицированную схему с дублированием триггера 2 (Рис. 1, б). В данной схеме разветвление на выходе триггера 2 было разбито на 2 независимых логических сигнала, управляемых независимо триггерами 2 и 2'. Независимость управления достигается за счёт загрузки различных значений в дублированные триггеры в процессе тестирования. Чтобы комбинационная схема была функционально эквивалентна исходной, входы D триггеров 2 и 2' объединяются. Оценка тестируемости неисправности $g/0$ для модифицированной схемы с дублированием триггера показала увеличение значения $t(g/0)$, которая составила

$$t(g/0) = S(x_2 \bar{x}_1 \bar{x}_2') = 1/8.$$

2. Сокращение взаимных конфликтов неисправностей

Рассмотрим теперь дублирование триггеров как средство сокращения конфликтов неисправностей. Чтобы сократить количество те-

стовых векторов, необходимое для тестирования неисправностей СБИС, каждый тестовый вектор должен иметь возможность обнаруживать как можно большее число дефектов, чему препятствуют взаимные конфликты неисправностей. Пусть s_0 – источник разветвления сигналов с ветвями s_1, \dots, s_n , тогда величины конфликтов выставления 0 и 1 в любой ветви $s_k, k \in [1; n]$ могут быть рассчитаны следующим образом [18]:

$$c_{s_k} = \min\{b_{s_k}; F_{s_k}\}, \quad (4)$$

$$C_{s_k} = \min\{B_{s_k}; f_{s_k}\}, \quad (5)$$

где c_{s_k} и C_{s_k} – количество конфликтов выставления логического «0» и «1» в узле s_k соответственно, b_{s_k} и B_{s_k} – необходимое количество логических состояний ветви s_k в «0» и «1» соответственно для обеспечения наблюдаемости неисправностей на всех остальных ветвях разветвления с источником s_0 , f_{s_k} и F_{s_k} – количество логических состояний ветви s_k в «0» и «1» соответственно, необходимое для наблюдения всех неисправностей, являющихся источником для сигнала s_0 , причем

$$F_{s_k} = F_{s_0} + \sum_{i=1}^n B_{s_i}, i \neq k, \quad (6)$$

$$f_{s_k} = f_{s_0} + \sum_{i=1}^n b_{s_i}, i \neq k. \quad (7)$$

Для разветвления сигнала s на выходе триггера значение $F_{s_0} = f_{s_0} = 0$, то есть $F_{s_k} = \sum_{i=1}^n B_{s_i}, f_{s_k} = \sum_{i=1}^n b_{s_i}, i \neq k$. Тогда, если число ветвей разветвления сократить до $n = 1$, то $F_{s_k} = f_{s_k} = 0$. Отсюда $c_{s_k} = C_{s_k} = 0$ в данном разветвлении, то есть конфликтов неисправностей в нём не будет. Более того, для любого сигнала x в путях от s_0 до конечных приёмников сигнала (триггеров или портов вывода), значения f_x и F_x всех разветвлений будут сокращены на $\sum_{i=1}^n b_{s_i}$ и $\sum_{i=1}^n B_{s_i}$ соответственно. Отсюда по формулам (4) и (5) получаем, что количество конфликтов c_x и C_x любого сигнала x может быть сокращено на $\sum_{i=1}^n B_{s_i}$ и $\sum_{i=1}^n b_{s_i}$ соответственно.

Дублирование триггера-источника разветвления позволяет сократить число ветвей разветвления до 1, значит, это приведет к снижению числа взаимных конфликтов во всех логически путях от этих триггеров.

На Рис. 2, а показан пример комбинационной схемы с взаимным конфликтом неисправностей в сигнале s . Отдельные части комбина-

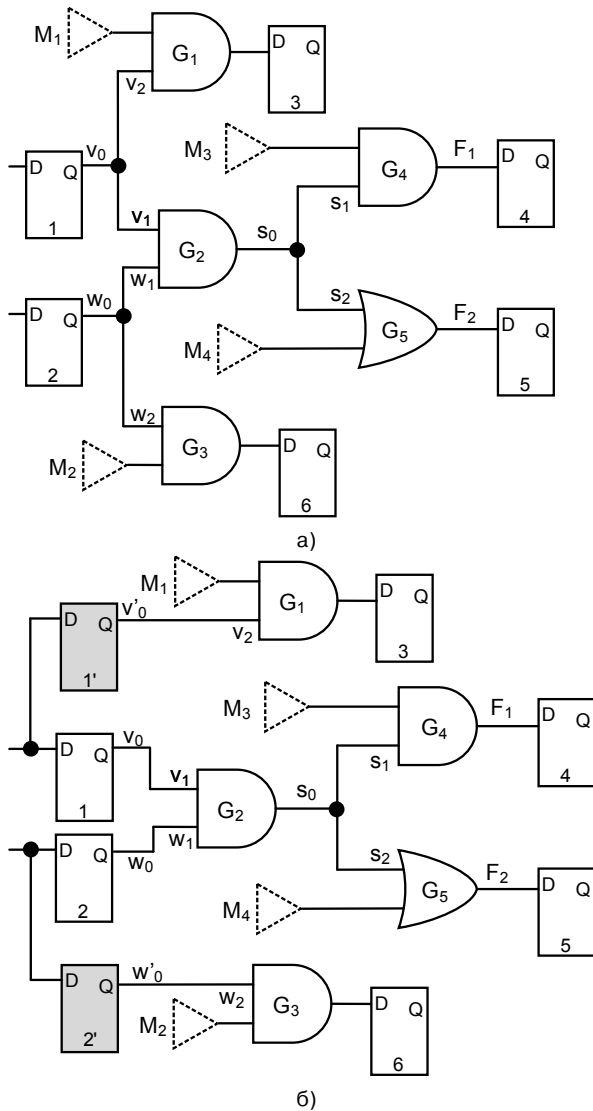


Рис. 2. Пример сокращения конфликтов неисправностей в комбинационной схеме

- а) исходная схема
- б) модифицированная схема с дублированием триггеров

ционной схемы отмечены треугольниками, в которых количество неисправностей составляет M_i . По формулам (4)-(7) рассчитаем величины конфликтов в узлах s_1 и s_2 , получим:

$$c_{s_1} = \min\{b_{s_1}; F_{s_1}\} = \min\{0; \min\{M_2; M_1\}\} = 0,$$

$$C_{s_1} = \min\{B_{s_1}; f_{s_1}\} = \min\{M_3; M_4\},$$

$$c_{s_2} = \min\{b_{s_2}; F_{s_2}\} =$$

$$= \min\{M_4; \min\{M_1; M_2\} + M_3\},$$

$$C_{s_2} = \min\{B_{s_2}; f_{s_2}\} = \min\{0; 0\} = 0.$$

Согласно оценке возникает конфликт выставления «0» в узле s_2 и конфликт выставления «1» в узле s_1 . Для разрешения данного

конфликта авторами [18] предлагается установить тестовую точку контроля ИЛИ-типа на сигнал s_2 , что приводит к снижению до 0 в данной схеме величин c_{s_2} и C_{s_1} .

Рассмотрим эквивалентную модифицированную схему, с дублированием триггеров 1 и 2 (Рис. 2, б). Получается следующий набор выражений, характеризующий сигналы s_1 и s_2 в схеме:

$$c_{s_1} = \min\{0; 0\} = 0,$$

$$C_{s_1} = \min\{M_3; M_4\},$$

$$c_{s_2} = \min\{M_4; M_3\},$$

$$C_{s_2} = \min\{0; 0\} = 0.$$

Сравнивая результаты оценок конфликтов неисправностей модифицированной и исходной схемы можно заключить, что величина конфликта выставления «0» в узле s_2 теперь не зависит от переменных M_1 и M_2 , что приводит к снижению c_{s_2} на величину до $\min\{M_1; M_2\}$.

Так как предложенный метод дублирования триггера оказывает влияние на любой логический путь от этого триггера до конечных приёмников сигналов за счёт снижения величин взаимных конфликтов разветвления s на выходе этого триггера, то можно сделать вывод, что наибольший эффект от данного метода будет достигнут при дублировании триггеров с наибольшим количеством комбинационных элементов в выходных путях этого триггера.

3. Алгоритм поиска триггеров-источников для дублирования

Известны методы поиска всех сходящихся разветвлений по логическому описанию схемы [7, 8]. Вариант дублирования всех триггеров, имеющих на выходе разветвление, приводит к чрезмерному росту площади. Таким образом целесообразно выделить для дублирования только те триггеры, которые дают максимальный эффект увеличения тестируемости и сокращения количества конфликтов неисправностей. В данной работе анализируется алгоритм, который основан на поиске логических деревьев с наибольшим числом источников.

Длинные сходящиеся пути являются, как правило, логическими функциями большого числа переменных. Проведён анализ логических путей ряда СБИС с проектными нормами

от 65 до 250 нм путём подсчёта количества конечных источников сигнала для каждого триггера схемы (Табл. 1). Анализ показал, что значительная часть (более 70%) триггеров имеет один конечный источник сигнала. Распределение триггеров по количеству источников сигналов с шагом в 100 единиц дано на Рис. 3. В СБИС VM8 встречались единицы триггеров с количеством различных источников сигналов вплоть до 7400. Логические функции с таким количеством источников представляют сложность при тестировании, поэтому их дублировать имеет смысл в первую очередь.

Алгоритм поиска триггеров-источников критических путей с порогом d_{max} по количеству элементов содержит следующую последовательность шагов:

1) задание количества триггеров для дублирования d_{max} ;

2) анализ схемы и получение множества сигналов L с низкой тестируемостью;

3) получение множества конечных источников S_i для каждого сигнала L_i ;

4) исключение из каждого множества S_i портов ввода-вывода и триггеров без разветвления на выходе;

5) сортировка множеств S_i по убыванию количества элементов;

6) последовательное добавление элементов из каждого множества S_i в множество D до тех пор, пока их количество не превысит d_{max} .

Результатом алгоритма является множество триггеров D , которые подлежат дублированию.

5. Маршрут проектирования СБИС с дублированием триггеров

Дублирование триггеров осуществляется после того, как получена модель СБИС на уровне логических элементов (нетлист). Сначала

Табл. 1. Параметры исследуемых СБИС

| Характеристика | VM8 | СМПО | Обработка-2 | Схема-6 |
|---|---------------------|-------|-------------|---------|
| Технология | Объёмная 65 нм КМОП | | 250 нм КНИ | |
| Количество триггеров, тысячи | 513,8 | 344,8 | 103,0 | 76,1 |
| Количество комбинационных элементов, тысячи | 2084,7 | 878,0 | 528,3 | 191,2 |
| Количество портов ввода/вывода | 639 | 311 | 353 | 140 |
| Количество ОЗУ и заказных блоков | 1055 | 371 | 110 | 24 |

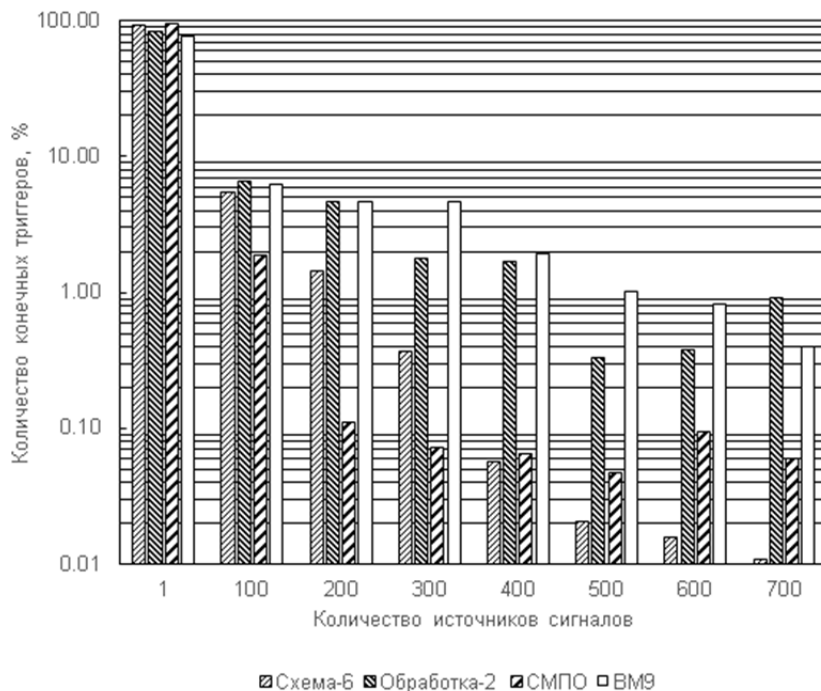


Рис. 3. Распределение триггеров по количеству источников сигналов

ла осуществляется поиск триггеров-источников критических путей с порогом d_{\max} . Триггер, который имеет в выходном логическом пути элемент, допускающий сквозные токи, исключается из списка. Полученный список триггеров D дублируется, после чего осуществляется логическая оптимизация схемы, поскольку дублирование триггеров может привести к изменению задержек распространения сигналов. На основе оптимизированной схемы создаётся скан-схема с компрессией.

Генерация и моделирование тестовых векторов для полученной схемы позволяют оценить время тестирования и коэффициент тестового покрытия. Если необходимые параметры получены, либо достигнут предел заполнения элементов на кристалле, то далее проектируется топология устройства. Если же необходимый коэффициент покрытия не достигнут либо есть необходимость сократить время тестирования и при этом пространство для дополнительных триггеров есть, можно изменить параметры скан-схемы [19], либо дополнительно дублировать триггера в критических путях. Маршрут проектирования согласно изложенной методике приведен на Рис. 4.

4. Результаты логического моделирования СБИС

Предложенная методика была использована при проектировании средств тестирования семи IP-блоков: ядра 64-разрядного микропроцессора (cpu), контроллера 2d графики (2d), контроллера Ethernet 10/100/1000 Мбит/с (eth), контроллера PCI-E 2.0 8x (pcie_8x), контроллера последовательного RapidIO 4X с частотой передачи 3,125 Гбит/с (rio), контроллера SATA 3 Гбит/с (sata) и контроллера USB 2.0 (usb). Также согласно методике были спроектированы средства тестирования трёх систем-на-кристалле (SoC): 64-разрядного микропроцессора с архитектурой КОМДИВ и встроенными последовательными каналами RapidIO (proc), шестиканального коммутатора высокоскоростных последовательных каналов RapidIO 10 Гбит/с (smpo) и шестиканального коммутатора PCI Express 2.0 (basis). Вышеперечисленные СБИС отличаются количеством триггеров, объемом ОЗУ, количеством встроенных заказных



Рис. 4. Маршрут проектирования

блоков, количеством доменов синхросигналов, рабочими частотами, площадью комбинационной и триггерной логики. Все СБИС синтезировались на стандартных ячейках из библиотеки элементов TSMC с проектными нормами 65 нм, а также со встроенными интерфейсными приёмопередатчиками, заказными блоками и блоками встроенной памяти ОЗУ. Параметры всех схем приведены в Табл. 2.

Все вышеперечисленные СБИС были исследованы на предмет трудно тестируемых узлов, в результате были получены множества узлов L с низкой тестируемостью для каждой СБИС.

Порог d_{\max} по количеству дополнительно введённых элементов для нужд средств тестирования был задан равным 2% от числа всех триггеров СБИС, что является приемлемым значением роста тестовой логики [20]. После чего согласно вышеописанному алгоритму, с заданным порогом d_{\max} были получены множества триггеров D для каждой схемы, все элементы которых были дублированы.

Затем в каждой из полученных СБИС были созданы средства скан-тестирования (скан-схемы) с компрессией [21]. Описанный маршрут проектирования системы тестирования

Табл. 2. Параметры модифицируемых СБИС

| Проект | Площадь, мм ² | | | | Количество портов ввода/вывода |
|---------|--------------------------|-----------------------|-----------------------|-------|--------------------------------|
| | Триггеров | Комбинационной логики | ОЗУ и заказных блоков | Общая | |
| cpu | 1,04 | 2,98 | 6,58 | 10,59 | 840 |
| eth | 0,33 | 0,23 | 2,03 | 2,59 | 602 |
| pcie_8x | 1,05 | 0,90 | 1,23 | 3,18 | 3241 |
| rio | 0,71 | 0,91 | 0,35 | 1,96 | 1638 |
| sata | 0,15 | 0,21 | 0,11 | 0,47 | 2465 |
| usb | 0,28 | 0,32 | 3,51 | 4,11 | 617 |
| 2d | 0,06 | 0,07 | 0,65 | 0,79 | 1857 |
| proc | 6,21 | 8,55 | 43,18 | 57,95 | 639 |
| smpo | 3,79 | 4,06 | 51,78 | 59,62 | 311 |
| basis | 2,20 | 2,77 | 22,31 | 27,28 | 226 |

Табл. 3. Параметры скан-схем СБИС

| Проект | Количество скан-цепей | Разрядность шины данных скан-схем, входная/выходная | Длины скан-цепей скан-схем, триггеров | | Количество введённых триггеров | Рост общей площади логики, % |
|---------|-----------------------|---|---------------------------------------|---------|--------------------------------|------------------------------|
| | | | без дубл. | с дубл. | | |
| cpu | 164 | 6/6 | 586 | 598 | 1828 | 0,16 |
| eth | 51 | 5/5 | 612 | 622 | 505 | 0,21 |
| pcie_8x | 164 | 6/6 | 601 | 609 | 1411 | 1,18 |
| rio | 111 | 6/6 | 587 | 598 | 1276 | 0,97 |
| sata | 23 | 4/4 | 610 | 622 | 254 | 0,09 |
| usb | 43 | 5/5 | 602 | 618 | 684 | 0,14 |
| 2d | 10 | 3/3 | 595 | 615 | 177 | 0,47 |
| proc | 2000 | 10/10 | 346 | 351 | 7207 | 0,36 |
| smpo | 1000 | 10/10 | 252 | 260 | 5018 | 0,09 |
| basis | 1000 | 9/9 | 189 | 193 | 3725 | 0,14 |

СБИС реализован в САПР Synopsys DFT Compiler. Параметры полученных схем, такие как количество внутренних скан-цепей и их длина, разрядность внешней шины тестовых данных, а также количество введённых триггеров в процессе дублирования триггеров приведены в Табл. 3. Рост площади логики СБИС, вызванный введением дополнительной логики, рассчитан после оптимизаций схем по площади и быстродействию. В среднем рост площади составил 0,38%.

Проведено логическое моделирование полученных скан-схем. Тестовые последовательности были созданы с помощью инструмента ATPG (Automatic Test Pattern Generation) – Synopsys Tetramax.

В итоге определены параметры скан-схем: тестовое покрытие и количество тестовых век-

торов. Исходя из частоты тестового синхросигнала 10 МГц, длины скан-цепей и количества векторов было рассчитана длительность тестирования каждой СБИС (Табл. 4). Для тестирования скан-схем с дублированием функциональных триггеров потребовалось на 4,8 - 39,1% меньше тестовых последовательностей для достижения заданного тестового покрытия, чем исходным скан-схемам без дублирования, в среднем по всем исследуемым проектам – на 16,1% меньше. С введением дополнительных триггеров выросли длины скан-цепей в схемах, что привело к увеличению длительности прохождения каждого тестового вектора. Тем не менее за счёт сокращения количества векторов время тестирования сократилось на величины от 3,3% (IP- блок rio) до 37,1% (СБИС proc), в среднем на 14,4%.

Табл. 4. Результаты логического моделирования СБИС

| Проект | Тестовое покрытие, % | Количество тестовых векторов | | Время тестирования скан-схем, с | | Сокращение времени тестирования, % |
|---------|----------------------|------------------------------|---------|---------------------------------|---------|------------------------------------|
| | | без дубл. | с дубл. | без дубл. | с дубл. | |
| cpu | 93,6 | 4840 | 4418 | 0,284 | 0,264 | 7,0 |
| eth | 94,1 | 1672 | 1565 | 0,102 | 0,097 | 4,9 |
| pcie_8x | 95,3 | 5365 | 5077 | 0,322 | 0,309 | 4,0 |
| gio | 96,6 | 2270 | 2138 | 0,133 | 0,128 | 3,8 |
| sata | 86,2 | 816 | 593 | 0,050 | 0,037 | 26,0 |
| usb | 91,4 | 504 | 480 | 0,030 | 0,029 | 3,3 |
| 2d | 79,6 | 421 | 261 | 0,025 | 0,016 | 36,0 |
| proc | 91,6 | 55236 | 33656 | 1,391 | 0,875 | 37,1 |
| smpo | 90,0 | 19374 | 14993 | 0,670 | 0,526 | 21,5 |
| basis | 91,5 | 10401 | 10147 | 0,196 | 0,195 | 0,5 |

5. Результаты моделирования топологий СБИС

С целью корректной оценки изменения быстродействия модифицированных схем было проведено моделирование топологий вышеописанных СБИС без дублирования триггеров и СБИС после дублирования. Разработка топологии устройств осуществлялось на стандартных ячейках TSMC с проектными нормами 65 нм в САПР Cadence Innovus. Оптимизация производилась в четырёх режимах:

- 1) Напряжение питания 0,9 В; температура - 40° С; SS модели транзисторов;
- 2) Напряжение питания 1,1 В; температура - 40° С; FF модели транзисторов;
- 3) Напряжение питания 0,9 В; температура 125° С; SS модели транзисторов;
- 4) Напряжение питания 1,0 В; температура 25° С; TT модели транзисторов.

На основании временных нарушений распространений сигналов, которые были получены на критических путях триггер-триггер, вход-триггер и триггер-выход каждой из СБИС были рассчитаны максимальные рабочие частоты всех устройств, а также относительный рост максимальной частоты синхросигналов в модифицированных схемах (см. табл. 5). За исключением блока gio, который показал снижение частоты синхросигнала на 3,05%, все блоки показали снижение быстродействия не более чем на 1% от исходной частоты, а в трёх из семи блоков частота синхросигнала и вовсе стала выше. Стоит особенно отметить рост частоты

работы процессора cpu, наиболее критичного к быстродействию блока.

Заключение

Предложен метод увеличения тестируемости и снижения взаимных конфликтов неисправностей цифровой СБИС, который заключается в дублировании триггеров в составе трудно тестируемых путей. Показано, что дублирование триггеров в путях со сходящимися разветвлениями позволяет увеличить тестируемость узлов этих путей, а дублирование триггеров-источников логических путей позволяет снизить число взаимных конфликтов неисправностей во всех узлах этих путей. Предложенная методика дублирования отдельных триггеров была реализована в 3 проектах СБИС и 7 проектах IP-блоков при проектировании средств скан-тестирования с компрессией. Результаты показали снижение времени тестирования в среднем на 14,4% при аппаратурных затратах, не превышающих 1,2% общей площади СБИС. Результаты топологического проектирования показали в большинстве СБИС минимальное снижение быстродействия, а в наиболее критичном по быстродействию блоке был достигнут рост максимальной рабочей частоты на 0,06%.

Литература

1. Abramovici M., Breuer M. A. and Friedman A.D. Digital Systems Testing and Testable Design, Computer Science Press, 1990. 364-366 p.

2. Touba N. A. Survey of test vector compression techniques // IEEE Design & Test of Computers. July-August 2006. Vol. 23. №4. P. 294–303.
3. Kapur R., Historical perspective on scan compression // IEEE Design & Test of Computers. March-April 2008. Vol. 25. №2. P. 114-120.
4. Hapke F., Redemund W., Glowatz A., Rajski J., Reese M., Hustava M., Keim M., Schloeffel J., Fast A. Cell-Aware Test // IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst. Sep. 2014. Vol. 33. №9. P. 1396-1409.
5. Acero C., Feltham D., Hapke F., Moghaddam E., Mukherjee N., Neerkundar V., Patyra M., Rajski J., Tyszer J., Zawada J. Embedded deterministic test points for compact cell-aware tests // Test Conf ITC 2015 IEEE Int. Oct. 2015. P. 1-8.
6. Savir J. Good Controllability and Observability Do Not Guarantee Good Testability // IEEE Transactions on Computers. 1983. V. 32. №12. P.1198-1200.
7. Robert M.W., Lala P. K. Algorithm to Detect Reconvergent Fanout in Logic Circuits // IEEE Proceedings. 1987. Vol.134. №2. P.105-111.
8. Xu S., Edirisuriya E. A new way of detecting reconvergent fanout branch pairs in logic circuits // Asian Test Symposium (ATS'04). 2004. P. 354-357.
9. Pomeranz I., Reddy S.M. Test-point insertion to enhance test compaction for scan designs // Proc. ICDSN. 2000. P. 375-381.
10. Geuzebroek M.J., Linden J.T., Goor A.J. Test point insertion that facilitates ATPG in reducing test time and data volume // Proc. ITC. 2002. P. 138-147.
11. Kumar A., Rajski J., Reddy S.M., Rinderknecht T. On the Generation of Compact Deterministic Test Set for BIST Ready Designs // Asian Test Symposium. 2013. P. 201-206.
12. Acero C., Feltham D., Liu Y., Moghaddam E., Mukherjee N., Patyra M., Rajski J., Reddy S.M., Tyszer J., Zawada J. Embedded deterministic test points // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2017. P. 1-13.
13. Ren H., Kusko M., Kravets V., Yaari R. Low cost test point insertion without using extra registers for high performance design // Proc. ITC. 2009. P. 1-8.
14. Yang J., Touba N. A., Nadeau-Dostie B. Test Point Insertion with Control Points Driven by Existing Functional Flip-Flops // IEEE Transactions on Computers. 2012. V. 61. P. 1473-1483.
15. Srivastava A., Kastner R., Sarrafzadeh M. Timing driven gate duplication: Complexity issues and algorithms // Proc. ICCAD. 2000. P. 447-450.
16. Goessel M., Singh A., Sogomonyan E. Scan-path with directly duplicated and inverted duplicated registers // Proceedings 20th IEEE VLSI Test Symposium. 2002. P. 47-52.
17. Savir J. Syndrome-testable design of combinational circuits // IEEE Transactions on Computers, 1980. V.29. P. 442-451.
18. Liu Y., Moghaddam E., Mukherjee N., Reddy S. M., Rajski J., Tyszer J. Minimal area test points for deterministic patterns // Proc. ITC. Nov. 2016. P. 1-7
19. Ладнушкин М.С. Снижение аппаратурных затрат и увеличение коэффициента компрессии средств тестирования константных неисправностей КМОП цифровых СБИС // VII Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2016». Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИПИМ РАН, 2016. Ч.2, С. 68-75.
20. Acero C., Feltham D., Patyra M. et al. On new test points for compact cell-aware tests // IEEE Des. Test. Dec. 2016. Vol. 33 №6. P. 7-14.
21. Wohl P., Waicukauski J.A., Ramnath S. Fully X-Tolerant Combinational Scan Compression // International Test Conference. 2007. P. 1-10.

Ладнушкин Максим Сергеевич. Научно-исследовательский институт системных исследований Российской академии наук г. Москва, Россия. Младший научный сотрудник. Количество печатных работ: 14. Область научных интересов: средства отладки и отбраковки цифровых КМОП СБИС. E-mail: maximsl@gmail.com

Investigation of register duplication method in scan compression designs

M.S. Ladnushkin

Federal Research Center “Computer Science and Control” of Russian Academy of Sciences, Moscow, Russia

Volumes of test data are growing and test compression schemes are not enough for today’s challenges such as growth of length of logic paths and higher amount of blocking nonequivalent faults during test. These factors cause not only inflation of test sets and new requirements of storage but also increase test application time. Test point are widely used to improve testability and decrease number of blocking faults by inserting controlling and observing additional logic. Method of duplicating cells is known as a timing improving approach which is used during topology planning. In this paper it was shown that duplicating of functional register can improve testability if there are reconvergent fanouts on trigger’s output. Also it was shown that duplicating of register can reduce number of blocking faults on each combinational cell in all output paths of that register. A complexity analysis of logic path of several VLSI’s was presented. It was observed that more than 70% of all paths have one source. But there were a few paths with 7400 startpoints in one of the designs. Such paths are the most hard to test paths so duplicating of startpoint triggers of these paths would have maximum effect on testability. An algorithm of selecting registers for

duplication with long output paths was proposed. Experiments on 10 industrial projects show average test time reduction 14,4% while area overhead was less than 1,2%.

Keywords: scan testing, register duplicating, test compression, modeling.

DOI 10.14357/20718632180304

References

1. Abramovici M., Breuer M. A. and Friedman A.D. Digital Systems Testing and Testable Design, Computer Science Press, 1990. 364-366 p.
2. Touba N. A. Survey of test vector compression techniques // IEEE Design & Test of Computers. – July-August 2006. – Vol. 23. №4. - P. 294–303.
3. Kapur R., Historical perspective on scan compression // IEEE Design & Test of Computers. – March-April 2008. – Vol. 25. №2. – P. 114-120.
4. Hapke F., Redemund W., Glowatz A., Rajski J., Reese M., Hustava M., Keim M., Schloeffel J., Fast A. Cell-Aware Test // IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.- Sep. 2014. - Vol. 33. - №9. – P. 1396-1409.
5. Acero C., Feltham D., Hapke F., Moghaddam E., Mukherjee N., Neerkundar V., Patyra M., Rajski J., Tyszer J., Zawada J. Embedded deterministic test points for compact cell-aware tests // Test Conf ITC 2015 IEEE Int. - Oct. 2015. - P. 1-8.
6. Savir J. Good Controllability and Observability Do Not Guarantee Good Testability // IEEE Transactions on Computers. - 1983. - V. 32. №12. - P.1198-1200.
7. Robert M.W., Lala P. K. Algorithm to Detect Reconvergent Fanout in Logic Circuits // IEEE Proceedings. - 1987. - Vol.134. №2. - P.105-111.
8. Xu S., Edirisuriya E. A new way of detecting reconvergent fanout branch pairs in logic circuits // Asian Test Symposium (ATS'04). - 2004. - P. 354-357.
9. Pomeranz I., Reddy S.M. Test-point insertion to enhance test compaction for scan designs // Proc. ICDSN. – 2000. - P. 375-381.
10. Geuzebroek M.J., Linden J.T., Goor A.J. Test point insertion that facilitates ATPG in reducing test time and data volume // Proc. ITC. – 2002. - P. 138-147.
11. Kumar A., Rajski J., Reddy S.M., Rinderknecht T. On the Generation of Compact Deterministic Test Set for BIST Ready Designs // Asian Test Symposium. – 2013. - P. 201-206.
12. Acero C., Feltham D., Liu Y., Moghaddam E., Mukherjee N., Patyra M., Rajski J., Reddy S.M., Tyszer J., Zawada J. Embedded deterministic test points // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 2017. - P. 1-13.
13. Ren H., Kusko M., Kravets V., Yaari R. Low cost test point insertion without using extra registers for high performance design // Proc. ITC. - 2009. – P. 1-8.
14. Yang J., Touba N. A., Nadeau-Dostie B. Test Point Insertion with Control Points Driven by Existing Functional Flip-Flops // IEEE Transactions on Computers. 2012. V. 61. P. 1473-1483.
15. Srivastava A., Kastner R., Sarrafzadeh M. Timing driven gate duplication: Complexity issues and algorithms // Proc. ICCAD. - 2000. - P. 447-450.
16. Goessel M., Singh A., Sogomonyan E. Scan-path with directly duplicated and inverted duplicated registers // Proceedings 20th IEEE VLSI Test Symposium. 2002. P. 47-52.
17. Savir J. Syndrome-testable design of combinational circuits // IEEE Transactions on Computers, 1980. V.29. - P. 442-451.
18. Liu Y., Moghaddam E., Mukherjee N., Reddy S. M., Rajski J., Tyszer J. Minimal area test points for deterministic patterns // Proc. ITC. - Nov. 2016. – P. 1-7
19. Lаднuшкн M.S. Snizhenie apparatnyh zatrat i uvelichenie koэффицента компрессии sredstv testirovaniya konstantnyh neispravnostej KMOP cifrovyyh SBIS (Reducing area and increasing compression ratio of scan compression system for digital VLSI using stuck-at fault model) // VII Vserossiyskaja nauchno-tehnicheskaja konferencija «Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem – 2016». Sbornik trudov / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2016. Ch.2, S. 68-75.
20. Acero C., Feltham D., Patyra M. et al. On new test points for compact cell-aware tests // IEEE Des. Test. - Dec. 2016. - Vol. 33 №6. - P. 7-14.
21. Wohl P., Waicukauski J.A., Ramnath S. Fully X-Tolerant Combinational Scan Compression // International Test Conference. - 2007. - P. 1-10.

M.S. Lаднuшкн. Junior Researcher, Department of Russian Academy of Sciences Institute of System Researches of CAD Systems, 36/1 Nahimovskiy prosp., Moscow, 117218, Russia. e-mail: maximsl@gmail.com