

Методика проектирования СБИС графического контроллера

Б.Е. Евлампиев

Аннотация. В статье предложена методика проектирования быстродействующих микросхем со сложной структурой, позволяющая оптимально использовать средства синтеза и заказного проектирования отдельных узлов и достичь быстродействия полностью заказного проектирования. Методика дает возможность сократить сроки разработки до трех раз для микросхем класса графического контроллера по сравнению с полностью заказным проектированием.

Ключевые слова: графический контроллер, методика синтеза, иерархический дизайн.

1. Общая характеристика методики

В настоящее время интенсивно развиваются геоинформационные системы, они получили широкое распространение в различных областях промышленности. Это делает актуальным разработку графических контроллеров (ГК), способных работать в жестких условиях окружающей среды и имеющих производительность, достаточную для решения задач картографии. Разрабатываемая микросхема должна удовлетворять следующим требованиям:

- работа в системах индустриального назначения;
- аппаратное ускорение графических операций (основные операции копирование и заливка прямоугольных областей в видеопамяти); требуемая скорость выполнения графических операций (цифры приведены для режима 32 бит на пиксель): заливка прямоугольника размером 500 x 500 – 200 шт./с., копирование прямоугольников размером 500 x 500 – 50 шт./с.;
- объем видеопамяти, достаточный для хранения не менее 9 экранов;
- использование системной шины, обеспечивающей скорость передачи в видеопамть прямоугольников размером 500 x 500 - 6 шт./с.;
- работа с двумя типами мониторов ЭЛТ и ЖК;

- вывод на экран ЭЛТ-монитора изображения в тестовых и графических режимах, глубина представления цвета от 1 до 32 бит на пиксель;

- вывод на экран ЭЛТ-монитора изображения с максимальным размером 1600 x 1200 пикселей при кадровой частоте 85 Гц;

- вывод на экран ЖК монитора изображения в графических режимах, глубина представления цвета от 8 до 32 бит на пиксель;

- вывод на экран ЖК монитора изображения размером 1024 x 768 при кадровой частоте 60 Гц;

- тестирование всех основных блоков и интерфейсов с использованием JTAG.

В системах индустриального применения широкое распространение получили UNIX-подобные операционные системы. Анализ производительности ряда ГК на наборе функций графической подсистемы UNIX показывает, что для получения требуемой производительности и быстродействия используются микросхемы, изготовленные по технологии с проектными нормами 0,18 мкм [1].

Для КМОП СБИС, изготовленных по глубоким субмикронным технологиям (0,18 мкм), при выходе на предельные температурные режимы эксплуатации возникают новые проблемы, с которыми производители СБИС и электронного

оборудования ранее не сталкивались. Возникновение этих проблем значительно снижает надежность и долговечность новых поколений КМОП СБИС, предназначенных для критических применений [1]. В результате диапазон рабочих температур для микросхем, изготовленных по таким технологиям, значительно уже диапазона температур систем промышленного применения. По данным [2] наиболее приемлемыми технологическими нормами для промышленных систем в настоящее время являются нормы не лучше 0,25 мкм.

В настоящее время в России на ряде предприятий и институтов ведутся исследования и разработки технологических процессов с проектными нормами 0,25 мкм. Технологии с проектными нормами 0,35 мкм уже есть, а 0,25 мкм будут доступны в ближайшем будущем. Поэтому именно такие технологии являются наиболее перспективными при создании ГК промышленного применения для задач 2D и 2.5D графики [1].

Для достижения требуемых показателей производительности при использовании этих технологий необходимо применение заказного проектирования. Это приводит к существенному повышению расходов на разработку. ГК является представителем СБИС, которые требуют постоянного повышения производительности, добавления новых возможностей по созданию и обработке изображения. В связи с этим снижение стоимости разработки и сокращение сроков чрезвычайно важны для таких СБИС, особенно в условиях ограниченности ресурсов разработки, что особенно актуально для России.

В статье представлена методика проектирования быстродействующих СБИС со сложной структурой. Эта методика апробирована на разработке микросхем ГК двух типов: 1890ВГ10Т и 1890ВГ14Т [3, 5-12], разработке 64-разрядного суперскалярного микропроцессора 1890ВМ5Ф. Отличие микросхемы 1890ВГ14Т от 1890ВГ10Т состоит в модернизации схем графического ускорителя, контроллера РСІ, контроллера ЭЛТ и средств тестирования кристалла, которые были определены при эксплуатации микросхемы 1890ВГ10Т на задачах заказчика. Существенным преимуществом предложенной методики является выделение

блоков предельного быстродействия, требующих заказного или смешанного проектирования, и организация их взаимодействия с блоками меньшего быстродействия, создаваемыми средствами синтеза. Задача достижения требуемой производительности в блоках предельного быстродействия решается за счет:

- выбора оптимального способа передачи данных между блоками предельного быстродействия и блоками меньшего быстродействия,
- выделения высокоскоростных цифровых блоков, требуемое быстродействие которых достигается за счет специализированного маршрута проектирования, такого как ручная расстановка, специализированный маршрут синтеза, выделение подблоков, реализующих простейшие функции,
- использования заказного проектирования для блоков предельного быстродействия,
- использование итерационного синтеза как инструмента для изменения структуры блоков с целью получения требуемого быстродействия.

Эта методика во многом похожа на методику проектирования схем, содержащих блоки предельного быстродействия с использованием средств автоматизированного проектирования. Однако, в отличие от последней, предложенная методика основана на использовании коммерчески доступных САПР и библиотек элементов. Указанные способы достижения предельных показателей быстродействия и производительности нашли свое отражение при разработке структуры блоков, синтезе схемы и разработке топологии.

Методика может быть представлена в виде следующей последовательности действий.

1. Разработка структуры микросхемы ГК.

На основе технических требований, предъявляемых к вычислительной системе, ведется разработка структуры микросхемы. Выбираются внешние интерфейсы контроллера, определяются производительность и быстродействие блоков.

Исходные данные: технические требования к вычислительной системе.

Результат: таблица с основными блоками и их параметрами.

2. Выделение и разработка структуры критических по производительности блоков.

Основной задачей данного этапа является выбор наиболее оптимальной структуры, позволяющей достигнуть требуемых параметров производительности и быстродействия микросхемы. Кроме того, на этом этапе происходит разделение проекта на блоки, что в дальнейшем позволит вести их разработку параллельно. Для выполнения этих задач разрабатываются поведенческие модели этих блоков и устройств, взаимодействующих с разрабатываемой микросхемой. По результатам моделирования выбирается оптимальная структура.

Исходные данные: таблица с основными блоками и их параметрами.

Результат: способы реализации требуемой производительности блоков, поведенческие модели блоков.

3. Выделение и разработка структуры критичных по быстродействию блоков.

Выделяются блоки, работающие на максимальных частотах. Для этих блоков разрабатываются предварительные RTL модели и с учетом параметров библиотеки элементов выделяются подблоки, которые приводят к ограничению быстродействия. Для таких блоков используются различные методы преобразования структуры для получения требуемой производительности без применения заказного проектирования. Выделяются также блоки, разработку которых необходимо вести с использованием заказного проектирования.

Исходные данные: таблица с основными блоками, их параметрами и поведенческие модели.

Результат: структура блоков, блоки, получаемые средствами синтеза (и их синтезируемые модели) и средствами заказного проектирования.

4. Предварительный синтез.

Этот этап позволяет получить более точные по сравнению с этапом разработки структуры оценки производительности, площади и энергопотребления. На этом этапе по предложенным правилам выделяются высокоскоростные цифровые блоки, требуемое быстродействие которых достигается за счет специализированного маршрута проектирования, такого как разделение блоков предельного быстродействия на подблоки, ручная расстановка, специализированный маршрут синтеза.

Исходные данные: структура микросхемы; блоки, получаемые средствами синтеза.

Результат: параметры блоков.

5. Разделение блоков предельного быстродействия на подблоки.

Для блоков, имеющих недостаточное быстродействие, проводится анализ структуры с целью выделения подблоков, имеющих нарушения по быстродействию. В результате, по предложенным правилам, проводится разделение проекта на подблоки. Использование итерационного синтеза подблоков позволяет значительно сократить сроки выбора оптимального решения при достижении требуемого быстродействия. Применение специализированного маршрута разработки для подблоков позволяет добиться предельного быстродействия без использования заказного проектирования.

Исходные данные: структура блоков, таблица с параметрами блоков.

Результат: набор подблоков, параметры подблоков.

6. Специальная методика синтеза.

Специальная методика синтеза основана на использовании ряда подходов, позволяющих по сравнению с заказным проектированием добиться сокращения сроков достижения требуемого быстродействия.

6.1. Поиск путей распространения сигналов, не требующих срабатывания за один период синхросигнала.

Поиск таких путей основан на анализе принципов работы проектируемого подблока. Такой подход позволяет при синтезе сделать эти сигналы наименее приоритетными, тем самым сократив количество критичных по быстродействию путей распространения сигналов.

Исходные данные: структура подблоков, таблица с параметрами подблоков.

Результат: набор подблоков, параметры подблоков.

6.2. Выделение подблоков, работающих в режимах, в которых частота синхросигнала снижена в несколько раз по сравнению с максимальной.

Поиск таких подблоков основан на анализе принципов работы проектируемого подблока. Выделенные подблоки при синтезе переводятся в разряд некритичных по быстродействию, что

позволяет сократить сроки достижения требуемого быстродействия и сократить площадь блоков.

Исходные данные: структура подблоков, таблица с параметрами подблоков.

Результат: набор подблоков, параметры подблоков.

6.3. Сокращение количества триггеров, находящихся в конце цепочек комбинаторных элементов, нагруженных на выход одного триггера.

Этот способ основан на сокращении цепочки буферов, установленных на выходе одного триггера и необходимых для распространения сигнала на большое количество нагрузок. В соответствии с предложенными рекомендациями создается несколько управляющих триггеров и проводится перераспределение нагрузки между ними. Это позволяет при разработке топологии получить более оптимальное распределение элементов по площади кристалла и добиться требуемого быстродействия.

Исходные данные: структура подблоков, таблица с параметрами подблоков.

Результат: набор подблоков, параметры подблоков.

6.4. Сокращение количества элементов в цепочке между триггерами.

Этот подход применяется, если перечисленные подходы 6.1 – 6.3 не дали результата. Для достижения требуемых показателей быстродействия проводится изменение структуры блоков и принципов передачи данных между блоками.

Исходные данные: структура подблоков, таблица с параметрами подблоков.

Результат: набор подблоков, параметры подблоков.

6.5. Минимизация расфазировки синхросигналов и минимизация фронтов синхросигнала.

Проводится анализ блоков для определения наиболее критичных параметров дерева синхронизации. Для оценки параметров дерева синхронизации делается предварительная разработка топологии, результаты которой используются при синтезе. Для блоков, работающих на кратных частотах, предлагается использовать специальные схемы синхронизации, которые позволяют снизить требования к выравниванию деревьев синхронизации.

Исходные данные: структура подблоков, таблица с параметрами подблоков.

Результат: набор подблоков, параметры подблоков.

7. Рекомендации по расстановке.

В соответствии с предложенными правилами выделяются подблоки и элементы, которые не позволят получить требуемое быстродействие из-за различной расстановки на плане кристалла при нескольких итерациях проектирования. Для этих элементов используется ручная расстановка.

Исходные данные: структура подблоков, таблица с параметрами подблоков.

Результат: набор подблоков, параметры подблоков.

Рассмотрим более подробно этапы, которые отличают предлагаемую методику от методики автоматизированного проектирования: разработка структуры критичных по быстродействию блоков, предварительный синтез, разделение блоков предельного быстродействия на подблоки, специализированный маршрут синтеза и рекомендации по расстановке.

2. Выделение и разработка структуры критичных по быстродействию блоков

В соответствии с разработанной методикой проводится оценка быстродействия блоков. Такой анализ производится на основании оценок быстродействия элементов (библиотеки элементов по выбранной технологии производства) для худшего случая условий эксплуатации (минимальное напряжение питания, максимальная температура, наихудшие параметры технологического процесса). Параметры библиотеки элементов оцениваются с помощью тестовых схем включения элемента. Анализ проводился для коэффициента нагрузки 4. Такой коэффициент нагрузки выбран как оптимальный, рекомендованный в работе [2] для построения трактов передачи данных на максимальной частоте. Диапазон фронтов сигнала выбирается как наиболее характерный для используемых библиотек при указанном коэффициенте нагрузки. В результате получаем таблицу с параметрами элементов. Для библиотеки 0,35 мкм данные представлены в Табл. 1.

Табл. 1 Временные параметры библиотеки 0,35 мкм

Параметр	Обозначение	Величина
Задержка переключения (от синхросигнала до выхода) триггера, срабатывающего по фронту синхросигнала	T _{co}	1,2 нс
Время Setup (время установки данных до синхросигнала) триггера, срабатывающего по фронту синхросигнала	T _s	0,6 нс
Время Hold (время удержания данных после синхросигнала) триггера, срабатывающего по фронту синхросигнала	T _h	0,3 нс
Задержка переключения двухвходового вентиля типа И-НЕ	T _a	0,6 нс

На основе этих цифр определяется максимальное количество элементов, которые могут быть использованы для построения цепочек данных. Например, для технологии 0,35 мкм эти результаты приведены в Табл. 2.

Табл. 2.

Частота, МГц	Период (T), нс	Максимальное число элементов в цепи N _М
266	3,76	Не более 3
250	4	Не более 3
133	7,52	Не более 9
80	12,5	Не более 17
66	15,15	Не более 22
10	100	Не более 163

Цифры в Табл. 2 получены на основе формулы (1) взятием целой части от результата.

$$(T - T_{co} - T_s) / T_a \tag{1}$$

В соответствии с разработанной методикой создаются предварительные RTL модели блоков. Параметры, указанные в Табл.2 позволяют оценить быстродействие блоков. Для оценки вводится коэффициент каскадности K_к:

$$K_k = N_c / N_M,$$

где N_с - оценочное количество двухвходовых элементов типа И-НЕ получаемых средствами синтеза, необходимых для реализации самой длинной цепочки обработки данных в разрабатываемой модели; N_М - максимальное количество таких же двухвходовых элементов для построения цепочки обработки данных, работающей на

требуемой максимальной частоте передачи сигнала. Составляется таблица, показывающая K_к для разрабатываемых блоков.

Для блоков, у которых коэффициент каскадности составляет 2,5 и больше, необходимо проводить изменение структуры. Для остальных блоков сокращение коэффициента КК проводится в процессе синтеза и оптимизации структуры этих блоков по быстродействию. Это реализуется с помощью предлагаемого специализированного маршрута проектирования (ручная расстановка, специализированный маршрут синтеза). Полученные экспериментально на проектах нескольких микросхем максимально допустимые значения коэффициента каскадности зависят от используемой технологии производства и библиотеки элементов.

Для повышения быстродействия предложено использовать следующие подходы:

- анализ принципов работы ГК и выделение блоков, максимальная рабочая частота которых снижена в несколько раз по сравнению с требуемой максимальной частотой;
- анализ требуемых режимов работы ГК и выделение режимов, частота синхросигнала в которых меньше максимальной; разработка отдельных блоков для реализации этих режимов и режимов, требующих максимальной частоты;
- разработка структуры блоков, не требующих заказного проектирования, с использованием известных методов параллелизма и конвейеризации;
- выделение блоков, требующих заказного проектирования.

Заказное проектирование используется для следующих блоков:

- аналоговые блоки;
- цифровые блоки, для которых не удалось сделать коэффициент K_к меньшим или равным 1 после использования предлагаемого в работе специализированного маршрута синтеза;
- блоки памяти, позволяющие добиться сокращения площади не менее чем в 3 раза.

Для блоков памяти проводится оценка занимаемой площади и сроков разработки при различных подходах. Во-первых, это синтез на основе RTL описания с использованием триггеров, срабатывающих по фронту синхросигнала. Во-вторых - синтез на основе RTL

описания с использованием триггеров, срабатывающих по уровню синхросигнала. В третьих - разработка на основе статической памяти (для примера, на основе типовой 6-транзисторной статической ячейки памяти).

Для того чтобы разработка заказных блоков шла параллельно, определяются протоколы взаимодействия этих блоков с другими блоками, рабочие частоты, режимы тестирования, режимы работы этих блоков при тестировании синтезируемых блоков микросхемы.

3. Предварительный синтез

Оценка коэффициентов каскадности для разработанной структуры на этапе проектирования структуры блоков, критичных по быстродействию, позволила выявить наиболее критичные пути распространения сигналов. Такая оценка является очень грубой и выполняется в процессе разработки предварительной версии проекта. По окончании разработки этой версии проекта, для проверки сделанных предположений необходимо провести предварительный синтез средствами САПР, что позволяет получить более точные, по сравнению с этапом разработки структуры, оценки производительности, площади и энергопотребления.

Блоки, для которых значение коэффициента K_K находится в заданных пределах, можно сконструировать средствами топологии. В зависимости от характера связей в блоке производится разделение блоков на две категории: блоки, имеющие локальные связи, и блоки, имеющие разветвленные связи. Для первой категории блоков коэффициент каскадности не выше 0,8 гарантирует получение требуемых показателей быстродействия при проектировании топологии. Для второй категории блоков необходимо снизить допустимый коэффициент каскадности до 0,6 с использованием известных методов параллелизма и конвейеризации.

Блоки, относящиеся к первой категории, имеют:

1. коэффициент нагрузки каждого элемента в цепи не более 4;
2. максимальное количество триггеров, стоящих в конце цепочек комбинаторных элементов, нагруженных на выход одного триггера, не более 4.

Эти требования позволяют получить при проектировании топологии блок малой площади, имеющий локальные связи, элементы которого не разбросаны по большой площади кристалла.

Ко второй категории относятся блоки, которые, как предполагается, при разработке топологии будут разбросаны по площади кристалла. Среди таких блоков наиболее типичными являются блоки, управляющие входными и выходными шинами микросхемы, шинами заказных блоков, внутренними многоразрядными шинами. Такие блоки имеют коэффициент каскадности не более 0,6 и не соответствуют хотя бы одному из требований 1,2.

Блоки, которые не попали ни в одну из этих категорий и имеют коэффициент каскадности не более 2,5, необходимо разрабатывать с использованием предлагаемого специализированного маршрута проектирования (разделение блоков предельного быстродействия на подблоки, ручная расстановка, специализированный маршрут синтеза).

Кроме выполнения рассмотренных задач на этом этапе, решается еще одна проблема - разработка управляющих файлов для САПР синтеза (скрипты). Эти скрипты задают параметры входных сигналов; требуемые параметры выходных сигналов; частоту синхросигналов; диапазон температур, напряжений питания. Они также необходимы для задания различных режимов синтеза, форматов и объемов данных в отчетах о результатах синтеза. Последовательность действий при синтезе, как правило, одинакова, следовательно, и состав скриптов для синтеза также одинаков для всех блоков. Отличие заключается в названиях сигналов, значениях их временных параметров, выходных нагрузках и частотах синхросигналов. Поэтому, разработав «скелет» такого скрипта, можно использовать его многократно. Кроме того, большинство современных САПР разных компаний-разработчиков, предназначенных для синтеза и разработки топологии СБИС, используют одинаковые форматы данных, либо дают возможность перевода из одного формата в другой, что позволяет использовать скрипты, разработанные для синтеза, при проектировании топологии.

4. Разделение блоков предельного быстродействия на подблоки

Для повышения быстродействия путей распространения сигналов, имеющих нарушение коэффициента каскадности, проводится разделение блоков предельного быстродействия на подблоки, реализующие простейшие функции [4]. Требуемое быстродействие подблоков обеспечивается с помощью известных методов параллелизма и конвейеризации. Разделение на подблоки позволяет сократить сроки достижения требуемого быстродействия при синтезе за счет того, что:

- при синтезе отдельно оптимизируются выделенные подблоки, а не весь блок или весь проект;
- проект может быть разбит на подблоки, реализующие простейшие функции, и тогда этот подблок оптимизируется один раз, а используется многократно в нескольких блоках;
- метод, используемый при оптимизации одного подблока, может быть использован при оптимизации других подблоков, выполняющих схожие функции.

Использование итерационного синтеза подблоков позволяет значительно сократить сроки выбора оптимального решения при достижении требуемого быстродействия по сравнению с итерационным синтезом всего проекта. Применение специализированного маршрута проектирования для подблоков позволяет добиться предельного быстродействия без использования заказного проектирования.

При создании подблоков необходимо действовать согласно:

- правилам разделения на подблоки;
- правилам организации сигналов управления между подблоками;
- рекомендациям по типам подблоков.

При разделении блока предельного быстродействия на подблоки необходимо удовлетворить двум условиям, относящимся к сигналам, передаваемым на предельной частоте: все входные сигналы подблока в результате комбинаторных операций должны защелкиваться в триггера; все выходные сигналы подблока должны формироваться триггерами (Рис. 1).

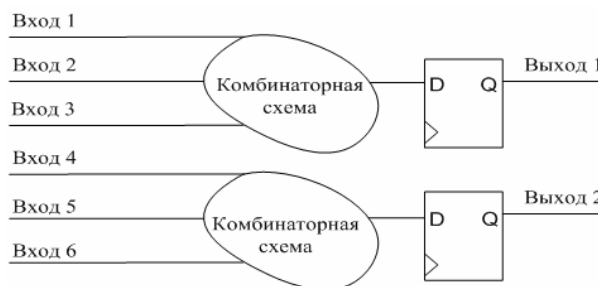


Рис. 1. Иллюстрация правила разделение на подблоки

Выделение подблоков с учетом этих условий позволит при разработке структуры блока достаточно точно оценить задержки появления выходных сигналов подблока, которые можно получить при синтезе. И, кроме того, оптимизация какого-либо подблока не приведет к коренной переделке соседнего подблока.

Однако при независимой оптимизации подблоков может возникнуть ситуация, когда для повышения быстродействия подблока необходимо увеличить длину его конвейера. Это может привести к потере синхронизации между различными подблоками.

Например, в графическом контроллере, содержащем схему передачи сигналов от контроллера развертки в блоки конвейера обработки данных, блок формирования аппаратного курсора, ЦАП, буфер обратного магазинного типа, работа всех этих устройств «привязана» к временной диаграмме сигналов строчной и кадровой развертки для ЭЛТ-монитора. Необходимо, чтобы потактовый сдвиг между сигналами развертки и данными во всех этих блоках был постоянным, иначе будут ошибки в работе блоков. Например, поступление данных курсора в конвейер будет не синхронизировано с продвижением основных данных. Следовательно, каждый раз будет изменяться расчет координат курсора. Приход данных, представляющих цвет пикселя и сигнала гашения ЦАП, может быть неодновременным. Чтение буфера обратного магазинного типа будет происходить на несколько тактов раньше начала продвижения данных в конвейере. В результате после каждого изменения длины конвейера одного блока необходимо будет переделывать другие блоки.

Для решения проблемы предложено организовать обмен сигналами управления между подблоками в соответствии со следующими правилами. Первое: между подблоками, производящими последовательную обработку данных, организовать соединение сигналов управления не от источника этих сигналов управления, а передавать сигналы управления последовательно между такими блоками. Второе: при изменении длины конвейера обработки данных какого-либо подблока для сигналов управления организовать потактовый сдвиг, аналогичный сдвигу данных. Такая структура позволит проводить оптимизацию каждого подблока по быстродействию независимо от всех остальных подблоков.

Для упрощения выделения подблоков в Табл. 3 приведены наиболее характерные примеры параметрических подблоков, реализующих простейшие функции.

Табл. 3. Параметрические подблоки, реализующие простейшие функции

Номер	Блок	Параметры
1	Счетчик n разрядов	Разрядность (n) от 2 до 64
2	Мультиплексор n в 1 Разрядность [m:0]	Количество входов (n) от 2 до 64 Разрядность (m) от 2 до 128
3	Дешифратор [m:0], Количество одинаковых выходов n	Разрядность (m) от 2 до 64, Количество одинаковых выходов от 1 до 8

Выигрыш от использования поблочного итерационного синтеза, по сравнению с итерационным синтезом всего проекта, становится очевиден, если сравнить время синтеза всего проекта и одного подблока. Например, для графического контроллера 1890ВГ10Т время синтеза схемы всего проекта составляет 2 часа, а время синтеза подблока среднего размера (порядка 200 вентилях) около 1 минуты. Такой выигрыш становится особенно важным при многократных оптимизациях структуры подблоков в процессе поиска решений, дающих максимальное быстродействие подблока.

5. Специальная методика синтеза

Блоки, в которых по результатам предварительного синтеза нельзя получить требуемое

быстродействие при разработке топологии и для которых коэффициент K_k не более 2,5, требуют дополнительной оптимизации для повышения быстродействия. Для этого используются итерационный синтез, специальная методика синтеза и рекомендации и по расстановке элементов.

При итерационном синтезе рассматриваются различные варианты реализации функций обработки данных. Выбор того или иного варианта определяется быстродействием, полученным при синтезе.

При оптимизации структуры подблоков используется специальная методика синтеза, направленная на повышение их рабочей частоты за счет следующих шагов:

- поиск путей распространения сигналов, не требующих срабатывания за один период синхросигнала;
- выделение подблоков, работающих в режимах, в которых частота синхросигнала снижена в несколько раз по сравнению с максимальной;
- сокращение количества триггеров, находящихся в конце цепочек комбинаторных элементов, нагруженных на один выход триггера;
- сокращение количества элементов в цепочке между триггерами.

Эти шаги используются в порядке перечисления.

Первый способ основан на анализе алгоритмов работы рассматриваемых блоков. Наиболее типичный пример такого подхода приведен на Рис. 2.

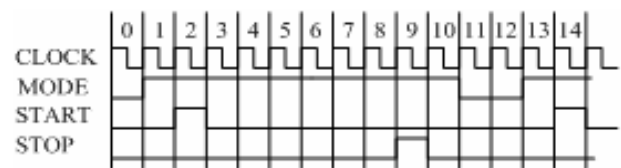


Рис. 2 Сигналы, не требующие срабатывания за один период синхросигнала

Формирование сигналов выбора режима работы блока - MODE происходит в такте 1 тестовой последовательности. Эти сигналы используются в процессе работы в тактах с третьего по десятый. Сигналы START и STOP определяют начало и конец тактов работы сиг-

нала MODE. Далее в тактах с одиннадцатого по двенадцатый происходит изменение режима (сигнал MODE равен 0). Следующее изменение состояния сигналов управления происходит в тактах с тринадцатого по двадцать третий и т.д. В этом случае на изменение сигналов управления отводится минимум два такта. При синтезе на время распространения таких сигналов от управляющих триггеров до триггеров, где защелкивается результат операций над этими и другими сигналами, отводится два такта.

Эти сигналы становятся наименее приоритетными, позволяя тем самым сократить количество критичных по быстродействию путей распространения сигналов и составить схему реализации требуемых преобразований таким образом, чтобы критичные сигналы имели более короткие цепочки элементов. При разработке топологии это дает возможность сократить размер блоков и их площадь, сделать их более компактными.

Второй способ также основан на анализе алгоритмов работы рассматриваемых блоков. Из всех режимов работы блока выделяются режимы, в которых рабочая частота снижена по сравнению с максимальной. Для реализации таких режимов и режимов, требующих максимальных частот работы, разрабатываются отдельные подблоки, например, для рабочих частот 250 МГц и 100 МГц. Преимущества этого способа такие же, как и у первого. Недостаток такого подхода - возможное увеличение фронтов синхросигнала и данных в низкочастотном блоке и, как результат - рост энергопотребления. Для решения этой проблемы используются два подхода. Первый - это построение одного дерева синхросигналов для обоих блоков. При построении такого дерева синхронизации необходимо добиться фронтов и скважности синхросигналов, соответствующих максимальной частоте во всех блоках. Это упрощает и сам процесс построения дерева синхронизации за счет разработки одного дерева, а не двух. Второй подход обеспечивает сокращение фронтов данных за счет запрещения переключения сигналов в низкочастотном блоке при работе высокочастотного.

Третий способ основан на сокращении цепочки буферов, установленной на выходе одно-

го триггера, нагруженного на большую нагрузку, например, при формировании управляющего сигнала для мультиплексирования многоразрядных шин, поступающих на выход микросхемы. Учитывая большую разрядность этих шин, можно предположить, что при разработке топологии триггеры, формирующие эти шины, будут разбросаны по достаточно большой площади кристалла. Кроме того, и элементы, в которых будет запоминаться результат мультиплексирования, также будут разбросаны по большой площади. При использовании одного триггера для получения сигнала управления потребуется построение длинной и разветвленной цепочки управляющих сигналов для всех разрядов шины. Это приведет к снижению максимальной частоты в таких трактах. Выходом является перераспределение нагрузки между несколькими триггерами и использование нескольких триггеров для формирования управляющих сигналов. Причем на выходе каждого управляющего триггера будет, например, 8 разрядов шины (8 триггеров). Дополнительное преимущество такого способа состоит в том, что количество триггеров, относительно которых нужно оптимизировать расположение управляющего триггера, сокращается. Выбор количества разрядов и их порядковых номеров определяется несколькими факторами:

- расположением триггеров, формирующих мультиплексируемые сигналы на плане кристалла;
- расположением триггеров, принимающих результат мультиплексирования на плане кристалла;
- максимальной частотой передачи сигналов в трактах мультиплексирования;
- разрядностью мультиплексируемых шин.

Алгоритм расчета количества управляющих триггеров можно представить в виде следующей последовательности:

1) Оценка количества комбинаторных элементов, необходимых для преобразования данных (инверторы и буферы не учитываются) - $N_{\text{СОМ}}$.

2) Сравнение полученного значения со значением, указанным в Табл. 1 для трактов, работающих на требуемой частоте. Если полученное число меньше или равно указанному в

таблице значению, то для этого подблока рассчитывается суммарная длина комбинаторных элементов между триггерами (пункт 3). В противном случае необходимо возвращаться к предыдущим этапам методики синтеза.

3) Для оценки количества элементов в цепочке от управляющего триггера до триггера, в котором запоминается результат, используется формула

$$N_{\text{BUS}} = N_{\text{COM}} + \log_4(C_{\text{EL}} + (C_{\text{МТОР}} W_{\text{МТОР}} \sqrt{S})) / (4 C_{\text{OUT}}),$$

где: N_{COM} – количество комбинаторных элементов, необходимых для преобразования данных (инверторы и буферы не учитываются);

C_{EL} – суммарная емкость комбинаторных элементов, к которым должен подсоединяться управляющий сигнал (Φ);

$C_{\text{МТОР}}$ – удельная емкость верхнего металла разводки ($\Phi/\text{м}^2$);

$W_{\text{МТОР}}$ – ширина проводника разводки верхним металлом (м);

S – площадь анализируемого блока (м^2);

C_{OUT} – входная емкость триггера, формирующего управляющий сигнал.

В этой формуле второе слагаемое показывает число элементов дерева управляющего сигнала, необходимое для управления элементами, разбросанными по площади кристалла S . Рассчитывается количество каскадов буферизации с коэффициентом нагрузки 4 для разводки сигнала к комбинаторным элементам. Кроме того, учитывается емкость разводки.

4) Сравнение полученного числа со значением, указанным в Табл. 1 для трактов, работающих на требуемой частоте. Если полученное число меньше или равно указанному в таблице значению, то для этого подблока при разработке топологии можно получить требуемое быстродействие. В противном случае необходимо перераспределять нагрузку между несколькими управляющими триггерами.

5) Определение требуемого количества управляющих триггеров.

$$N_{\text{CONTR}} \geq (C_{\text{EL}} + (C_{\text{МТОР}} W_{\text{МТОР}} \sqrt{S})) / (4 C_{\text{OUT}} (N_{\text{M}} - N_{\text{COM}})),$$

где: N_{M} – максимальное количество элементов для трактов, работающих на требуемой частоте из Табл. 1. Расчет аналогичен пункту 3 при

условии, что имеются не один управляющий триггер, а несколько.

6) Значение N_{CONTR} должно быть больше единицы. В противном случае необходимо возвращаться к предыдущим этапам методики синтеза.

Недостаток этого способа заключается в увеличении нагрузки на выходе элемента, который формирует сигнал для триггера управления.

Четвертый способ самый действенный и позволяет добиваться максимального прироста быстродействия. Он реализуется на основе известных способов параллелизма и конвейеризации. Такой подход применяется, если все остальные подходы не позволяют добиться требуемого коэффициента каскадности.

6. Рекомендации по расстановке блоков на плане кристалла

В процессе разработки топологии возможна ситуация, когда требуемое максимальное быстродействие для ряда подблоков не может быть достигнуто в следствие неоптимальной расстановки отдельных элементов средствами САПР. Среди таких подблоков выделены следующие:

- подблоки формирования сигналов выходных шин;
- подблоки приема данных от входных шин;
- подблоки, используемые для формирования синхросигналов с кратными частотами.

Для таких подблоков предлагаются следующие рекомендации по расстановке.

1. Для подблоков, формирующих выходные сигналы шин, элементы формирования выходных разрядов необходимо устанавливать рядом с элементами ввода/вывода соответствующих разрядов.

2. Для подблоков, принимающих входные сигналы шин, элементы приема входных разрядов необходимо устанавливать рядом с элементами ввода/вывода соответствующих разрядов.

3. Для шин, у которых критичным параметром является задержка между входным синхросигналом и выходными данными и не используется ФАПЧ, необходимо строить отдельное дерево синхросигнала для выходных триггеров.

4. Элементы, формирующие синхросигналы с кратными частотами, необходимо устанавли-

вать рядом с источником синхросигнала и на минимальном расстоянии друг от друга.

Это позволяет получить следующие преимущества:

- сократить задержку переключения выходных сигналов и минимизировать ее разброс (за счет отдельного короткого дерева синхронизации);

- повысить запас по параметрам setup и hold для входных данных относительно фронта синхросигнала и минимизировать его разброс (за счет минимально возможного пути распространения сигнала от входа до триггера);

- минимизировать разброс времени поступления синхросигналов к триггерам, используемым для приема входных данных с шин, и для формирования выходных данных шин (за счет отдельного короткого дерева синхронизации).

- минимизировать расфазировку синхросигналов с кратными частотами (за счет минимизации длин связей и построения одинаковых цепей формирования этих синхросигналов).

7. Оценка эффективности предложенной методики синтеза

Эффективность предложенной методики синтеза демонстрируется на основе результатов, полученных при разработке двух микросхем ГК.

Время синтеза и оптимизации всего проекта 4 месяца, из них в течение 3-х месяцев производилась доработка структуры и синтез контроллера интерфейса ЭЛТ монитора и 1 месяц – доработка структуры и синтез остальных блоков (ускоритель графических операций, контроллер PCI, контроллер интерфейса ЖК панели, блок приема/передачи сигналов интерфейса памяти DDR SDRAM).

Оценка времени синтеза дана для первоначальной версии модели, полученной после разработки структуры блоков.

Разделение конвейера обработки данных контроллера интерфейса ЭЛТ-монитора на два блока позволило сосредоточить основное внимание на высокочастотном блоке. При этом основной выигрыш во времени получен за счет поблочного синтеза выделенного из общей иерархии набора подблоков, реализующих одинаковые функции. Время, затраченное на дости-

жение требуемого быстродействия для этого блока, составило 2 месяца, а для низкочастотного - всего одну неделю. Синтез контроллера развертки и блока управления курсором занял 1 неделю. Построение дерева синхронизации, минимизация расфазировки синхросигнала потребовало 3-х недель. Основные усилия были направлены на выбор оптимального расположения каскадов буферизации на плане кристалла. Создание схемы контроллера по старым методикам потребовало бы около 6 месяцев.

В графическом ускорителе повышение быстродействия можно обеспечить двумя способами:

- поиском путей распространения сигналов, не требующих срабатывания за один период синхросигнала;

- сокращением количества триггеров, находящихся в конце цепочек комбинаторных элементов, нагруженных на один выход триггера.

Второй способ использовался также для блока приема/передачи сигналов интерфейса памяти DDR SDRAM. Отказ от этих мер потребовал бы дополнительной оптимизации этих трактов с применением конвейера, что, во-первых, внесло бы задержку в этих трактах минимум в один такт, в результате чего было бы получено снижение производительности ускорителя примерно на 10%. Во-вторых, это потребовало бы дополнительного времени оптимизации схемы. Оптимизация этих трактов теми же методами, что применяются для трактов в контроллере ЭЛТ, дает выигрыш во времени около 1 месяца.

В результате можно утверждать, что без использования предложенной методики синтеза время синтеза и оптимизации структуры контроллера составило около 8 месяцев. Таким образом, предложенная методика позволяет получить выигрыш в 2 раза.

8. Оценка эффективности предложенной методики проектирования

Оценка эффективности предложенной методики проектирования проводится на основе результатов, полученных при разработке двух микросхем ГК. Расчет выигрыша проводят на основе сравнения времени проектирования узлов при использовании этой методики и при использовании методик, предлагаемых компа-

Табл. 4. Оценка времени проектирования микросхемы

		Предложенная методика	Др. Методика
1	Разработка структуры и разделение проекта на блоки в соответствии с быстродействием	1 месяц	1 месяц
2	Разработка структуры блоков предельного быстродействия	3 месяца	1 месяц
3	Синтез схемы блоков предельного быстродействия		49,25 месяца
4	Разработка топологии блоков предельного быстродействия		3 месяца
5	Разработка тестов функционального контроля блоков предельного быстродействия	2 месяца/параллельно 2,3,4	8 месяцев/параллельно 2,3,4
6	Разработка структуры блоков среднего и малого быстродействия	12 месяцев	12 месяцев
7	Синтез схемы блоков среднего и малого быстродействия	1 месяц	1 месяц
8	Разработка топологии блоков среднего и малого быстродействия	1 месяц	1 месяц
9	Разработка тестов функционального контроля всей СБИС	Включены в 2 месяца блоков предельного быстр./параллельно 6,7,8	Включены в 8 месяцев блоков предельного быстр./параллельно 6,7,8
10	Разработка ЦАП синтезаторов частот и ФАПЧ	4 месяца/параллельно 1,2,3,4,5,6,7,8	4 месяца/параллельно 1,2,3,4,5,6,7,8
11	Итого	1+3+3+12+1+1= 21 месяц	1+1+49,25+12+1+1 = 65,25 месяцев

ниями-разработчиками САПР проектирования СБИС. Основное сокращение времени разработки достигнуто за счет уменьшения времени синтеза и разработки топологии, а также за счет сокращения времени разработки тестов функционального контроля. Полученные данные приведены в Табл. 4

При использовании предложенной методики основная часть блоков разрабатывается средствами САПР синтеза и проектировании топологии с применением предложенной методики синтеза на основе разработанной иерархии подблоков. Второй подход характеризуется применением средств заказного проектирования для достижения требуемого быстродействия в большинстве блоков предельного быстродействия. Прогнозируемое время проектирования этих блоков составляет 49,25 месяца. Расчет сроков заказного проектирования для этих блоков производится на основе коэффициентов каскадности для этих блоков. Оценка этих коэффициентов для разработанной структуры представлена в Табл. 5.

Табл. 5. Оценка коэффициента каскадности для различных блоков

Коэффициент каскадности	Ориентировочное количество транзисторов, тыс. шт.	Частота блока, МГц	Характер связей
3,5 – 4	100	250	Локальные
2 – 3,5	20	250	Разветвленные
0,8 – 2	10	250	Локальные
0,4 – 0,8	10	250	Разветвленные
3,5 – 4	20	133	Разветвленные
2 – 3,5	200	133	Локальные
0,8 – 2	100	133	Разветвленные
0,4 – 0,8	1000	133	Разветвленные
3,5 – 4	10	266	Локальные

Для оценки сроков разработки этих блоков были выделены подблоки размером около 10 тыс. транзисторов с двумя коэффициентами каскадности (2 и 4) и с двумя разными характерами связей. Использовались два подхода при разработке топологии: проектирование на основе стандартной библиотеки элементов, проектирование на основе транзисторов. При-

менение того или иного метода для разных блоков определяется возможностью достижения требуемого быстродействия. Получены результаты, показаны в Табл. 6.

Табл. 6. Время заказного проектирования блоков

	Библиотека элементов	Транзисторы
Коэффициент каскадности = 2, связи локальные	-	1,25 месяц
Коэффициент каскадности = 2, связи разветвленные	0,5 месяц	1,25 месяц

При этом для блоков с коэффициентом 4 необходима дополнительная оптимизация структуры для снижения коэффициента каскадности до 2. Исходя из этой информации, прогнозируется общее время разработки топологии 49,25 месяцев

Расчет сокращения площади блоков проводился путем сравнения площадей блоков с коэффициентом каскадности более 1 (Табл. 5), разработанных на основе предложенной методики и заказного проектирования. Такие блоки в сумме имеют около 460 тысяч транзисторов. При разработке топологии с использованием заказного проектирования можно добиться 2-3-кратного сокращения площади блока. Площадь блоков логики составила для первой микросхемы 62,93 мм² (Табл. 7), а количество транзисторов 1,15 миллиона (Табл. 8). Следовательно, для заказного проектирования количество транзисторов составит 0,45 млн., а площадь - 24,63 мм². Площадь оставшейся части контроллера 38,31 мм². При сокращении площади блоков критичных по быстродействию в 2-3 раза она составит 12,315 – 8,21. При этом общая площадь микросхемы будет: 56,59 мм² или 52,48 мм². В итоге при переходе от заказного проектирования к предложенной методике площадь микросхемы вырастет на 11,2% или 19,9%.

Табл. 7. Количество транзисторов в разработанных микросхемах ГК и их распределение между блоками памяти и блоками логики

Параметр	1890ВГ10Т млн.	1890ВГ14Т, млн.
Общее	1,64	2,72
Блоки памяти	0,49	0,64
Блоки логики	1,15	2,08

Табл. 8. Площади кристаллов в разработанных микросхемах ГК и их распределение между блоками памяти и блоками логики

Параметр	1890ВГ10Т мм ²	1890ВГ14Т, мм ²
Общая	68,89	90,25
Блоки памяти	5,96	8,47
Блоки логики	62,93	81,78

Заключение

1. Представлена методика проектирования быстродействующих СБИС со сложной структурой, одним из основных принципов которой является выделение блоков предельного быстродействия, требующих заказного или смешанного проектирования, и организация их взаимодействия с блоками меньшего быстродействия, создаваемых средствами синтеза.

Методика апробирована на разработке двух типов микросхем ГК (1890ВГ10Т и 1890ВГ14Т) и разработке 64-разрядного суперскалярного микропроцессора 1890ВМ5Ф. Методика дает возможность сократить сроки разработки в 3 раза и снизить стоимость проектирования в 3 раза для микросхем класса графического контроллера.

2. Введено понятие коэффициента каскадности K_K , который оценивается для всех блоков проекта и позволяет выделить блоки, получаемые средствами синтеза и блоки, получаемые с использованием заказного проектирования.

3. После завершения разработки предварительной версии проекта проводится предварительный синтез. Что дает возможность получить более точные по сравнению с предварительным этапом, оценки производительности, площади и энергопотребления. На этом этапе, по предложенным правилам, выделяются высокоскоростные цифровые блоки, требуемое быстродействие которых достигается за счет специализированного маршрута проектирования.

4. Для блоков, имеющих нарушение быстродействия, проводится анализ структуры с целью выделения подблоков, нарушающих быстродействие. Использование итерационного синтеза подблоков позволяет значительно сократить сроки выбора оптимального решения при достижении требуемого быстродействия. Применение специализированного маршрута разработки для подблоков позволяет добиться

предельного быстродействия без использования заказного проектирования.

5. Разработана методика проектирования быстродействующих СБИС со сложной структурой, позволяющая сократить сроки разработки схемы в 2 раза и добиться предельного быстродействия для используемой технологической библиотеки с помощью САПР. Это позволило разработать основные блоки микросхем ГК с использованием средств синтеза на основе описания на языке Verilog HDL (RTL уровень), работающих на максимальной частоте 250 МГц по технологии 0,35 мкм.

Литература

1. Бобков С.Г., Корниленко А.В. Высокопроизводительные графические контроллеры промышленного назначения. «Информационные технологии и вычислительные системы», 1, 2005, стр. 105-116.
2. НИИСИ РАН, Отчет о научно-исследовательской работе «Исследование путей реализации технологических процессов изготовления интегральных микросхем специального назначения с минимальными топологическими размерами нанометрового диапазона», январь 2001 г.
3. Аряшев С.И., Евлампиев Б.Е., Корниленко А.В., Методика проектирования микросхемы RAMDAC. Научная сессия МИФИ-2001. Сборник научных трудов - М.: МИФИ, 2001 г.
4. Аряшев С.И., Евлампиев Б.Е., Корниленко А.В., Микросхема ускорителя в составе графического контроллера. Научная сессия МИФИ-2001. Сборник научных трудов - М.: МИФИ, 2001 г.
5. Аряшев С.И., Бобков С.Г., Грузинова Е.В., Евлампиев Б.Е., Корниленко А.В., Сивакова Т.В. Разработка микросхемы графического ускорителя с использованием ПЛИС FPGA Altera. 3-я научно-техническая конференция «Электроника, микро- и нанoeлектроника». Сборник научных трудов. М.: МИФИ, 2001 г. Стр. 28-33.
6. Аряшев С.И., Бобков С.Г., Грузинова Е.В., Евлампиев Б.Е., Корниленко А.В., Сивакова Т.В. Система тестирования и отбраковки микросхем и кристаллов с использованием тестера HP82000. 3-я научно-техническая конференция «Электроника, микро- и нанoeлектроника». Сборник научных трудов. М.: МИФИ, 2001 г. Стр. 206-210.
7. Аряшев С.И., Евлампиев Б.Е., Корниленко А.В. Оптимизация работы с памятью в микросхеме графического ускорителя. 4-я научно-техническая конференция «Электроника, микро- и нанoeлектроника». Сборник научных трудов. М.: МИФИ, 2002 г. Стр.111-117.
8. Аряшев С.И., Евлампиев Б.Е., Корниленко А.В. Аппаратная реализация алгоритмов 3D графики на базе FPGA ALTERA. 4-я научно-техническая конференция «Электроника, микро- и нанoeлектроника». Сборник научных трудов. М.: МИФИ, 2002 г. Стр.118-124.
9. С.И. Аряшев, С.Г. Бобков, Е.В. Грузинова, Б.Е. Евлампиев, А.В. Корниленко, Т.В. Сивакова. Использование интерфейса JTAG для контроля работоспособности микросхем при испытаниях. 4-я Международная научно-техническая конференция «Электроника и информатика». Сборник научных трудов. 2002 г.
10. Евлампиев Б.Е., Чекунов А.В. Система тестирования контроллера LCD панели. 5-я научно-техническая конференция «Электроника, микро- и нанoeлектроника». Сборник научных трудов. М.: МИФИ, 2003 г. Стр.195-197.
11. Бобков С.Г. Евлампиев Б.Е. Архитектура блоков предельного быстродействия СБИС графического контроллера. 6-я научно-техническая конференция «Электроника, микро- и нанoeлектроника». Сборник научных трудов. М.: МИФИ, 2004 г. Стр. 153-156.
12. Бобков С.Г., Евлампиев Б.Е. Способ управления буфером обратного магазинного типа видеосистемы, Патент 2249246, 2005г.

Евлампиев Борис Евгеньевич. Старший научный сотрудник НИИСИ РАН. Окончил МИФИ в 1997 году. Автор 20 научных работ. Область научных интересов – исследование и разработка аппаратных методов и средств компьютерной графики. Адрес электронной почты: eboris@cs.niisi.ras.ru.