

# Многопортовая память микропроцессорных систем

В.А. Лементуев

**Аннотация.** В аналитическом обзоре приведена концепция оперативной памяти (ОЗУ) на основе многопортовых запоминающих элементов. Изложены вопросы схемной и интегральной реализации КЕШ памяти микропроцессоров. Рассмотрены свойства, реализация и применение ассоциативных запоминающих устройств (АЗУ) на основе многопортовых ячеек ассоциативной памяти в универсальных и специализированных вычислительных системах.

**Ключевые слова:** микропроцессор, оперативная и ассоциативная память, статическая ячейка памяти, МДП транзистор

## Введение

Современная микропроцессорная система имеет внешнюю и внутреннюю оперативную память (ОЗУ) для непосредственного взаимодействия с процессором. Внешняя память значительного объема ( $\times$ Гбайт) реализуется на микросхемах памяти ( $\times$ 100 Мб) на основе динамического однотранзисторного запоминающего элемента и требует периодической регенерации. Поэтому, а также в силу того, что в процессе работы как со стороны внешней памяти, так и со стороны чипа процессора, задействованы относительно медленные порты ввода / вывода, быстродействие внешнего ОЗУ ограничено и существенно меньше быстродействия центрального процессора. Внутренняя – собственная оперативная память – реализуется непосредственно на кристалле (чипе) совместно с процессором. Поэтому объем такого ОЗУ существенно меньше ( $\times$ 10 Мбайт), но его роль является определяющей для производительности системы, поскольку такая память выполняет функцию сверхоперативного КЕШ (Cache) ОЗУ и работает в тактовой системе процессора. До 50% площади микропроцессорного кристалла занимает именно КЕШ память. По функциональным и технологическим требова-

ниям КЕШ ОЗУ (SRAM) выполняется на основе статической шеститранзисторной-(6Т) КМДП ячейки памяти (R-S триггер и два транзистора выборки) в виде матричных сегментов по несколько сот Кслов (M) полной (N=32, 64) или сегментно-частичной (N/k) разрядности процессора. ОЗУ является наименее энергоемкой частью микропроцессора, поскольку при обращении тактируется и переключается сравнительно небольшое число элементов по сравнению с логикой. Поэтому увеличение объема ОЗУ минимально влияет на общее потребление мощности микропроцессора, но одновременно ведет к повышению производительности, причем в большей степени, чем расширение логических возможностей самого процессора. Потребление мощности до 100 Вт на кристалл является фактором, ограничивающим сложность и производительность систем, причем до 40 % мощности потребляется в тактовой системе микропроцессора. Ниже приводятся новейшие структуры многопортовой памяти.

## 1. Многопортовая КЕШ память

Известно, что КЕШ ОЗУ выполняет функции хранения информации (при включенном питании), записи и неразрушающего считывания по

адресу. Затворы транзисторов выборки ячеек каждого из слов ( $M$ ) объединены адресными шинами ( $W_j$ ), которые управляются от дешифраторов адресов в соответствии с командой считать или записать. При полноразрядной выборке код адреса имеет  $Lg_2M$  знаков. Элементы памяти (КМДП триггер) в каждом из разрядов через транзисторы выборки ячеек подключены к разрядным шинам ( $B_i, \bar{B}_i$ ). С этими шинами также связаны разрядные парафазные формирователи записи и дифференциальные усилители считывания, входы и выходы которых по соответствующей команде разрешения через регистры подключаются к многоразрядной магистрали данных. Запись производится в соответствии с логическим состоянием разрядных шин при поступлении адресного сигнала и сопровождается одновременным переключением обоих инверторов ячейки. Ток записи при этом протекает только в процессе переключения. В силу того, что разрядные шины являются более длинными, чем адресные, а усилители считывания обладают существенной задержкой, режим считывания является критичным.

Условие неразрушающего считывания обеспечивается за счет ограничения тока считывания в проводящем транзисторе R-S триггера. Частота обращения при записи и считывании соответствует тактовой частоте системной шины данных (System CL), которая как правило в 4 или 8 раз (в зависимости от разрядности) меньше частоты

глобального CL-генератора микропроцессора. Адресные дешифраторы выполняются на многовходовых элементах И типа “домино”. В состав ОЗУ входят также регистры хранения адресов и команд с обработкой очередей выборки, а также спецадресов сегментов памяти.

Расширение функциональных возможностей ОЗУ связано с усложнением логической и структурной организации памяти, что в свою очередь ведет к увеличению площади кристалла микропроцессора. Концепция многофункциональной памяти может быть эффективно реализована в том случае, когда повышение производительности вычислений на уровне системы превышает затраты на простое увеличение емкости запоминающего устройства. Критерием этого может служить площадь кристалла.

На Рис.1 показана структура ячейки памяти многопортового (многоканального по принципу ввода-вывода данных) ОЗУ, для которой характерно наличие  $n$ - шин адресов ( $W_j$ ) и  $2n$ -разрядных шин данных ( $B_i, \bar{B}_i$ ) [1]. При  $n=1$  имеет место традиционная шеститранзисторная ячейка памяти ОЗУ типа 6Т. Запоминающий элемент сохраняет форму R-S триггера, его парафазные выходы через дополнительные транзисторы выборки подключены к новым разрядным шинам данных. Таким образом, затраты на дополнительный порт (канал) ввода-вывода по транзисторам составляют одну треть, но пло-

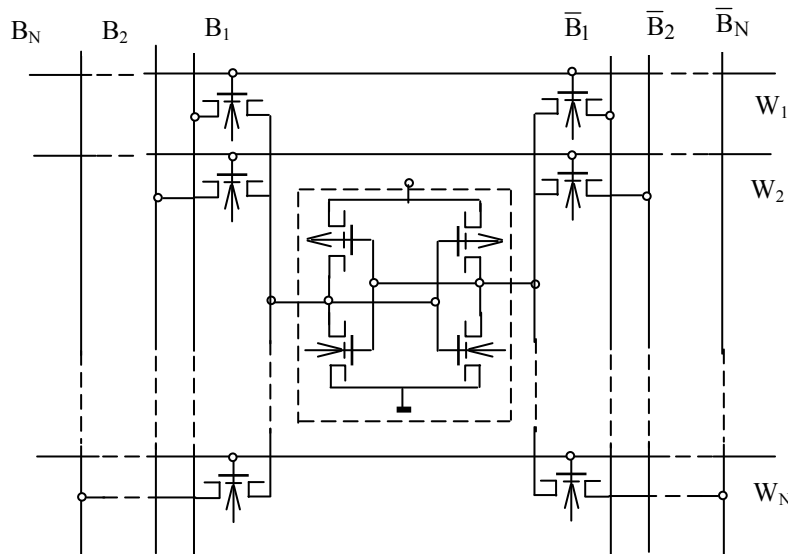


Рис. 1. Многопортовая ячейка памяти ОЗУ

щадь кристалла в расчете на 1 бит растет быстрее, что связано с добавлением 3-х шин управления на каждый порт.

При увеличении числа портов до величины  $n \leq 6$  имеет место линейный рост площади кристалла, а при  $n \geq 6$  рост площади – линейно-квадратичный. При  $n=32$  фактор увеличения площади достигает 80. В значительной мере этот фактор зависит от технологии, в частности, от числа слоев металлизации. С точки зрения адресации такое решение эквивалентно возрастанию кода адреса на один знак на дополнительный порт. Дополнительные шины данных функционируют в обычном режиме записи-считывания. Основным результатом использования такой структуры заключается в возможности одновременно записать и считать при несовпадающих адресах. При этом возможно наличие новых многоуровневых магистралей с заданными функциями, поскольку цикл выборки данных задается системной шиной.

В рамках данной концепции используется также структура двухпортовой ячейки памяти (типа 10Т) с разделенными по портам функциями записи и считывания, приведенная на Рис.2 [2]. В структуру традиционной 6-транзисторной ячейки памяти при этом добавлены два элемента считывания типа И, которые управляются от дополнительной адресно-словарной шины считывания ( $RW_j$ ). Результат считывания ( $RB_{ij}=Q_{ij} \cdot RW_j$ , где  $Q_{ij}$  – состояние R-S триггера) формируется в виде логического 0 на одной из парафазных разрядных шин считывания, нейтральное состояние которых соответствует 1. Ячейка с однофазным считыванием (8Т) содержит один двухтранзисторный элемент считывания. Данные ячейки памяти характеризуются полным функциональным, структурным (по управлению) и схемным (по цепям) разделением записи и считывания. По адресу  $W_j$  можно только записать, а по адресу  $RW_j$  можно только считать, хотя по разным адресам возможны запись и считывание одновременно при наличии соответствующих регистров.

Разделение портов записи и считывания не только ускоряет работу каждого из них в отдельности, но и упрощает с ускорением взаимодействие ОЗУ и процессора на системном уровне. С точки зрения интегральной реализации данные ячейки памяти по сравнению с традиционной

структурой, несмотря на большее число транзисторов, имеют существенное достоинство. Дело в том, что в данных ячейках памяти условие неразрушающего считывания реализуется безусловным образом за счет управления напряжением при считывании тока. В результате R-S триггер упрощается, минимизируются размеры его транзисторов и ускоряются как запись, так и считывание, поскольку осуществляются по различным цепям, которые оптимизируются в отдельности. Самостоятельные каналы считывания позволяют реализовать иерархическую структуру свертки результата считывания (каждый разрядный усилитель считывания работает от группы 32-128 слов, что повышает быстродействие в памяти большого объема. Параметрические преимущества приводят к тому, что площадь кристалла ячейки памяти типа 8Т не больше, чем у традиционной ячейки 6Т, а у ячейки 10Т выше всего на 10% [2].

Следует отметить, что оптимальным структурным решением является сегментация матрицы при двухкоординатной выборке фрагментов как слов, так и разрядов. Мультиплексный режим адресации реализуется за счет управления выборкой сегментов на общую магистраль. При соответствующей архитектуре микропроцессора возможно повышение эффективной частоты обращения к памяти до 5-10 Гб/с (в типичном случае канал ввода-вывода работает со скоростью 500 Мб/с). В 64-разрядном сервере Power 4 (IBM) использован массив 32 Кб 2-портового ОЗУ. Поэтому перспективно применение многопортовых ОЗУ в однопроцессорных системах супервысокого обмена данными. Выбор типа многопортовой памяти определяется архитектурой микропроцессора, в частности, наличием общих каналов ввода-вывода (Рис.1), либо самостоятельных каналов ввода и вывода (Рис.2), и связанными с этими различиями структурами соответствующих регистров.

## 2. Ассоциативные запоминающие устройства (АЗУ)

Ассоциативное запоминающее устройство (АЗУ), помимо традиционных для памяти функций записи-считывания, выполняет в каждом из слов операцию сравнения данных, поступающих в выбранные разряды, с теми дан-

ными, которые уже находятся в одноименных разрядах памяти. Результаты сравнения (равенство-неравенство) в каждом слове фиксируются в особой словарной шине совпадения, адрес которой фиксируется в специальном регистре совпадающих слов.

За многие годы предложено большое число технических реализаций АЗУ [2]. Однако только с появлением микропроцессоров на одном кристалле возникла возможность их прямого функционального применения. На Рис.3 приведена структура ячейки АЗУ, в наибольшей степени соответствующей современным технологиям [3]. Однопортовый вариант ячейки предполагает использование при опросе (сравнении) тех же разрядных шин данных В и  $\bar{В}$ , которые необходимы при записи и считывании в обычном ОЗУ. В двухпортовом варианте для опроса используются собственные шины (каналы ввода) данных СВ и  $\bar{СВ}$ , что повышает эффективность обращения к памяти и упрощает выполнение периферийных устройств.

Ассоциативное (по содержанию) сравнение предполагает реализацию в каждой ячейке, во-первых, функции полного одноразрядного равенства (исключающее ИЛИ), во-вторых, возможность дизъюнкции результатов разрядного сравнения по словам и, в-третьих, возможность маскирования (нейтрального состояния) невыбранных разрядов слова. В данной ячейке сравнение реализуется всего на двух МДП транзисторах (Т1 - Т2) с управлением по стоку и по затвору. Для свертки по всем разрядам слова при полной развязке всех шин, участвующих в операции, служит транзистор Т0. Исходному состоянию и маскированию разряда соответствуют сигналы 0-0 на шинах данных опроса СВ и  $\bar{СВ}$ . При несовпадении данных хранения ( $\bar{В}=1$ ) и опроса (СВ=1) в любом разряде слова открывается транзистор Т0 ячейки, через который происходит переход шины из исходного - единичного в нулевое состояние. Поскольку опрос всегда произво-

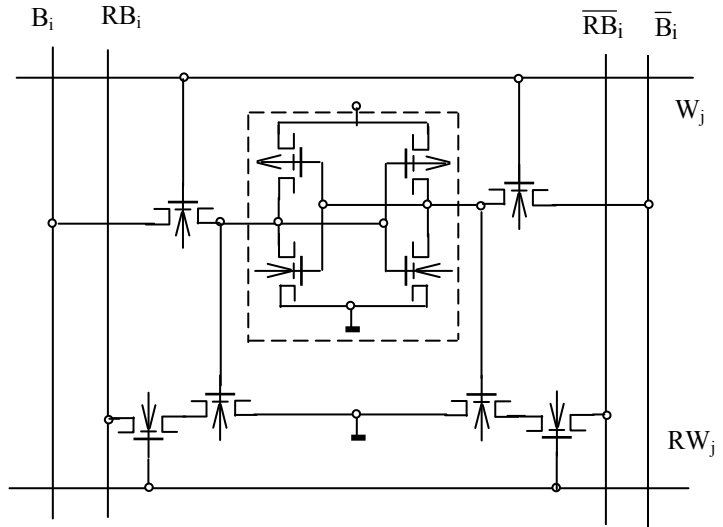


Рис.2. Двухпортовая ячейка памяти АЗУ типа 10Т

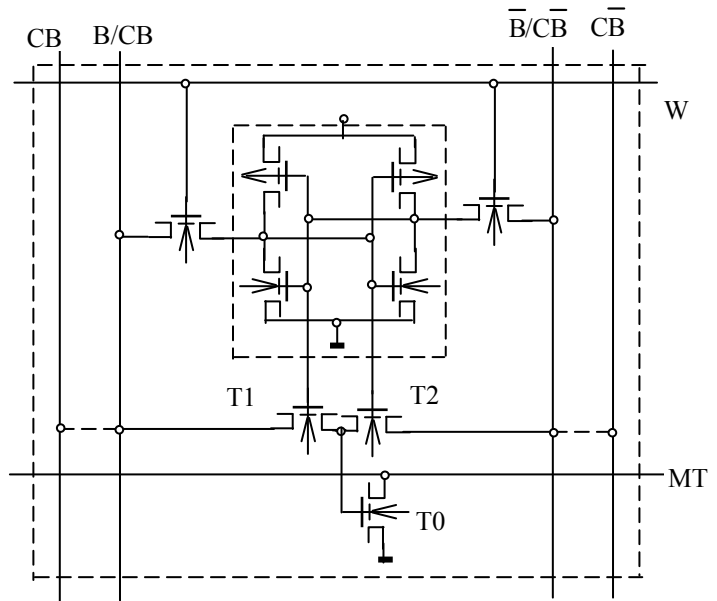


Рис.3. Одно - двухпортовая ячейка памяти АЗУ

дится по всем словам одновременно, разрядный формирователь должен обладать соответствующей нагрузочной способностью для перезаряда емкостей транзисторов Т0 всех ячеек данного разряда. По сложности данная ячейка АЗУ соответствует двухпортовой ячейке ОЗУ.

Данное схемное решение ячейки АЗУ является оптимальным с точки зрения быстродействия. При опросе число совпадающих слов достаточно велико, что требует их упорядочивания и обработки для последующих операций записи

или считывания. Поэтому время задержки опроса собственно в матрице памяти должно быть минимальным и соотноситься в типичном случае с временем записи и считывания как 1-3-5. Разделенная (многопортовая) структура АЗУ позволяет максимально совмещать во времени базовые операции как в самом АЗУ, так и во внешних регистрах, что приводит к повышению эффективного быстродействия. Трехпортовое АЗУ с независимым выполнением всех операций было предложено в 1978 году [4]. В матрице  $M \times N$  общее число шин управления максимально  $-3(M+2N)$ , в то время как минимальное число шин управления в однопортовой структуре соответствует  $(M+2N)$ . Данное обстоятельство являлось препятствием широкого использования АЗУ в качестве внешней оперативной памяти. Малая емкость в битах микросхем АЗУ в результате ограничения числа внешних выводов корпусов сопровождалась существенным (на порядок) падением быстродействия за счет необходимости ввода-вывода сигналов вне корпуса. Лишь с созданием технологических возможностей реализации Мбайтовой внутренней оперативной памяти совместно с процессором возникли реальные условия эффективного применения АЗУ.

В АЗУ реализуется возможность одновременной обработки данных как по словам, так и по разрядам, что особенно существенно в логических задачах поиска и сортировки данных. В обычных ОЗУ обработка производится во всех разрядах, но последовательно по словам. Кроме того, необходима фиксация физического расположения (адресов) данных и соответственно хранение, заполнение и перераспределение адресов. Поэтому для адресных систем памяти характерна низкая эффективность поиска информации. В АЗУ данные могут располагаться произвольно, поскольку обращение ко всем данным осуществляется одновременно и любое слово может быть выбрано за один цикл опрос – считывание. Высокая эффективность (более, чем на порядок) в задачах поиска имеет место, когда ассоциативный поиск (опрос) производится по части разрядов, а считывается целиком все выбранное слово. К таким задачам относятся реализация функций управления распределением оперативной памяти в традиционных компьютерах, распознавание

кодовых комбинаций, предварительный анализ команд, сортировка данных, быстрый просмотр таблиц, формирование разрядных разрывов и их склейка и др.

При этом отсутствие жесткой структуры АЗУ и увеличение гибкости обработки ведет к упрощению программного обеспечения, ибо отпадает необходимость во многих служебных программах. В АЗУ также эффективно реализуются числовые логические и арифметические операции, представляемые в виде булевых функций путем записи в матрицу АЗУ таблицы истинности функций, последующего опроса набором значений входных переменных и считывания хранящихся значений в соответствующих разрядах совпавших слов.

В составе современных микропроцессоров блоки АЗУ используются главным образом для аппаратных средств ускорения работы некоторых частей операционной системы и динамического перераспределения памяти.

### 3. Ассоциативный параллельный процессор (микро-АПП)

Из многочисленных видов архитектур, обладающих адресацией по содержанию и параллелизмом поиска, ассоциативный параллельный процессор является потенциально самым быстрым и эффективным, т.к. фактически представляет собой логический процессор. Имея ограничения по вводу-выводу, как в любом микропроцессоре, АПП использует параллелизм на уровне хранимых в памяти данных, причем их обработка производится в самой ассоциативной памяти без передачи в традиционный процессорный блок. Микро-АПП представляет собой ассоциативный процессор, выполненный на одном кристалле, содержащий матрицу ассоциативных ячеек, ввод-вывод, устройство управления, работающее под управлением хранимой программы, а также соответствующие регистры совпадения признаков, данных, выбора слов и разрядов.

Арифметические и логические операции в АПП выполняются в едином потоке команд одновременно над всеми словами или при поразрядной обработке над множеством пар операндов. Поэтому в отличие от АЗУ необходимо

обеспечить возможность записи в АПП параллельно как по разрядам, так и по словам.

Ассоциативная ячейка АПП должна обеспечить режим мультizaписи, т.е. запись одновременно во множество слов. При этом ячейка АПП становится одноразрядным процессорным элементом для не только логических, но и арифметических операций. В традиционной ячейке АЗУ существует ограничение по числу выбранных при записи слов ( $m$ ). Во-первых, ток разрядного формирователя в импульсе должен быть в  $m$  раз больше тока записи одной ячейки. Во-вторых, невыбранному (маскируемому) разряду должно соответствовать состояние разрядных шин  $V = \bar{V} = 1$ , когда ячейки данного разряда всех выбранных по адресу слов находятся в режиме псевдочитывания. Поэтому разрядный формирователь должен обеспечить в цикле мультizaписи дополнительный ток, который в  $m$  раз больше тока считывания одной ячейки. Для применения в АПП с использованием мультizaписи в ячейке либо разрядные шины данных записи и результата считывания, либо адресные шины записи и считывания должны быть разделенными. В трехпортовой ячейке АПП с независимым выполнением всех ассоциативных операций реализован принцип управления напряжениями, токи записи формируются от источника питания, а не по линиям разрядных формирователей, и как следствие, нет ограничений по записи [4]. Функциональное совмещение шин управления в матрице АПП упрощает реализацию только самой матрицы, но снижает быстродействие и степень параллелизма вследствие необходимости последовательного заполнения регистров и необходимости дополнительных временных интервалов для установки шин управления и соответствующих устройств формирования – считывания сигналов.

Основная сложность АПП состоит в организации функционирования регистра совпадения признаков при большом числе слов. Его роль состоит не только в фиксации множественного совпадения, но и в реализации заданного про-

граммой порядка выбора совпадающих слов для записи или считывания. В простейшем случае на каждом такте он обеспечивает последовательную пересылку сигнала выбора адреса из  $(m-1)$ -й строки в строку  $m$ .

АПП может быть эффективно использован для решения широкого класса задач, допускающих групповую обработку информации. К ним относятся задачи распознавания образов, спектрального анализа, быстрого преобразования Фурье и др. При наличии в АПП 1000-5000 пар чисел эффективное быстродействие, приведенное к паре чисел, на 1-3 порядка выше, чем в традиционном процессоре при решении подобных задач [4].

## Заключение

При современном уровне микроэлектроники не существует проблем интегральной реализации многофункциональной памяти в составе микропроцессорных систем, что позволяет ускорить некоторые операции на системном уровне и аппаратно повысить производительность, а также использовать АЗУ в качестве специализированного ассоциативного процессора. Объектами исследований могут быть разработки структурных решений организации оперативной памяти, программных методов и входных языков ассоциативной обработки, не связанные с конкретной аппаратурой, алгоритмы функционирования регистра признаков и структуры данных.

## Литература

1. Y.Tatsumi. Multiport-storage-cell. Electronics Letters.// v.35, №25, 1999, p.2185-2187.
2. Y.Morita. Area optimization in 6T fnd 8T SRAM cells. // IEICE Transactions Electronics, v.90, №10, 2007, p.1949-1955.
3. H.Lee. Content addressable memory. Electronics Letters.// v.44, №4, 2008, p.268-269.
4. И.В. Прангишвили, В.А.Лементуев, М.С.Сонин. Элементы ЗУ на МДП структурах. - М., Энергия, 1978, 175 с.

**Лементуев Владимир Ануфриевич.** Старший научный сотрудник Института проблем управления им. В.А. Трапезникова РАН. Окончил Московский энергетический институт в 1963 году. Автор более 50 печатных работ и патентов. Область научных интересов - элементная база микропроцессорных устройств.