Информационные технологии

Анализ применимости RISC-V для увеличения быстродействия операций в СУБД

А.В. Соловьев

Федеральный исследовательский центр «Информатика и управление»
Российской академии наук, г. Москва, Россия

Аннотация. В статье выполнен анализ возможности применимости специализированных процессоров архитектуры RISC-V для ускорения обработки данных в СУБД. Выполнен обзор возможностей RISC-V, рассмотрены практические примеры использования RISC-V. Определены достоинства и недостатки RISC-V. Отмечен ряд проблем, которые существенно затормозили применение RISC-V в промышленных СУБД и системах хранения данных. Сделан вывод о применимости аппаратных ускорителей RISC-V для СУБД. В дальнейших исследованиях планируется выполнить анализ применимости технологий, ускоряющих обработку данных с помощью энергонезависимой памяти, сверхбыстрой сети и технологий использования ее за границами сервера.
Ключевые слова: *системы управления базами данных, СУБД, RISC-V, ускорение обработки данных.*
DOI: 10.14357/20790279260304 **EDN:** AHKKVG

Введение

В современных условиях необходимости быстрой обработки огромных объемов информации производители СУБД, также, как и разработчики информационных систем, пытаются повысить производительность своих разработок не только за счет совершенствования алгоритмов поиска, применения методов искусственного интеллекта (ИИ), но и с помощью различных аппаратных ускорителей, на которых, кстати также могут быть реализованы алгоритмы ИИ.

В частности, ряд производителей информационных систем пытаются выполнить ускорения ряда операций с помощью интересных, но вызывающих дискуссии об эффективности их применения RISC-V. Это расширяемая открытая и свободная система команд и процессорная архитектура на основе концепции RISC (Reduced Instruction Set Computer – архитектура процессора, в которой быстродействие увеличивается за счет упрощения инструкций).

Данная статья имеет целью провести анализ применимости аппаратных ускорителей, построенных на основе архитектуры RISC-V, для ускорения обработки данных в СУБД. В статье выполнен анализ примеров применения аппаратных ускорителей, построенных на основе архитектуры RISC-V, выявлены достоинства и недостатки применения RISC-V. Сделан вывод о применимости аппаратных ускорителей RISC-V для СУБД.

1. Краткий обзор применения аппаратных ускорителей, построенных на основе архитектуры RISC-V

RISC-V — расширяемая открытая и свободная система команд и процессорная архитектура на основе концепции RISC, предназначенная для

создания процессоров/микроконтроллеров и разработки ПО. Спецификации архитектурных описаний RISC-V свободно доступны и бесплатны для любого использования, включая коммерческие реализации непосредственно в кремнии. Архитектура открыта и многократно описана в литературе. Например, в [1] представлена архитектура, набор инструкций RV32I с примерами, взятыми из переводов компилятором небольших кодов на языке программирования C.

Однако перейдем к краткому обзору применения аппаратных ускорителей, построенных на основе архитектуры RISC-V.

Рост популярности RISC-V с момента его появления в 2010 году привел к тому, что в настоящее время, так или иначе, архитектура RISC-V используется в более чем 500 компаниях из 28 стран.

Так, например, компания Nvidia входит в сообщество RISC-V и использует архитектуру для создания чипов для беспилотных автомобилей с реализацией функционала непосредственно на микросхеме с помощью языка программирования Ada [2].

Компания Google объявила в 2023 году, что операционная система Android в будущем будет поддерживать реализацию на архитектуре RISC-V [3].

Возможности RISC-V позволяют реализовать не только отдельные функции, но и ядро операционной системы, что, безусловно повышает ценность данной архитектуры [4].

Компания Alibaba создала IP-блок для своих систем искусственного интеллекта на основе платформы RISC-V [2].

В 2024 году научным сообществом была представлена система управления ControlPULP на основе RISC-V для HPC-процессоров (HPC – high performance computing), которая использует многоядерные возможности для ускорения алгоритмов управления, благодаря быстрой обработке прерываний и синхронизации. ControlPULP основана на модели мощности и теплового режима управляемого центрального процессора как установки, которая сопряжена с трассировками команд рабочей нагрузки и алгоритмом управления для реализации замкнутого цикла. В предлагаемой многоядерной архитектуре этап политики управления выполняется в 4,9 раза быстрее, чем в одноядерной конфигурации, что позволяет реализовать более сложные и требующие вычислительных затрат алгоритмы управления (например, политики прогнозирования) с детализированным распределением частоты [5].

Индия объявила RISC-V национальным стандартом [2].

Еще в 2018 году в Китае объявлена объемная программа государственного субсидирования решений на базе RISC-V. В качестве примера ускорителя можно привести созданный в Китае ускоритель сверточных нейронных сетей (CNN) на основе RISC-V [6]. Ускоритель специализирован для выполнения операций с нейронными сетями, и его функции включают функции свертки, активации и объединения. Функциональность ускорителя проверена на платформе vivado, и результаты показывают, что архитектура с ускорителем в 552,8 раза быстрее архитектуры без ускорителя при вычислении матрицы свертки, что значительно повышает вычислительную мощность процессора.

Компания AMD использует RISC-V в новом поколении графических сопроцессоров (GPU) для создания, анализа и обработки очереди команд [2].

В качестве примеров аппаратного ускорения можно привести ускоритель Q-Learning для платформы RISC-V [7]. Ускоритель реализован на платформе AMD-Xilinx ZedBoard с использованием небольшого количества аппаратных ресурсов и ограниченной мощностью в 1,528 Вт. Полученные экспериментальные данные подтверждают возможность реализации большего количества ускорителей на одном устройстве. По сравнению со стандартной версией программной реализации алгоритма Q-Learning, разработанный ускоритель на RISC-V позволяет в 36 ускорить время выполнения. При этом энергозатраты (по сравнению с выполнением на компьютере сокращаются в 34 раза. Полученные результаты могут служить подтверждением того, что ускорители на базе RISC-V подходят для высокоскоростных приложений с низким энергопотреблением, таких как машинное обучение для системы Интернета вещей (IoT).

Еще одним примером аппаратного ускорения можно считать реализованный сопроцессор Compress для сжатия данных временных рядов на основе RISC-V, представленный в [8]. Сопроцессор реализован для обеспечения независимого доступа к памяти и вычислений для достижения высокой производительности в ядре Compress. Для проверки возможности использования сопроцессора в реальной среде Интернета вещей был разработан прототип на платформе FPGA. Результаты демонстрируют, что сопроцессор может эффективно удовлетворять требованиям реального времени при сохранении производительности.

В будущем планируется расширить возможности сопроцессора для сжатия данных без временных рядов для удовлетворения потребностей передачи потоковых мультимедийных данных.

В заключении данного раздела можно еще упомянуть, что управление по инновациям Израиля создает платформу GenPro на базе RISC-V [9]. Платформа GenPro включает ориентированное на производительность ядро RISC-V, а также инновационные технологии интерфейса памяти и управления, передовые технологии аппаратного ускорения. В состав консорциума GenPro входят ведущие высокотехнологичные компании и научные исследователи из ведущих израильских исследовательских институтов: Mellanox-NVIDIA, Western Digital (WD), Ceva, Satixfy и DSPG. Правда, следует заметить, что в настоящее время судьба платформы, а также результаты реализации так до конца и не понятны.

Можно привести еще множество примеров реализации ускорителей на базе платформы RISC-V. Однако, несмотря на большое количество реализаций различных прикладных решений, а также несомненно высокого интереса к платформе, доведенных до промышленной реализации решений крайне мало, что настораживает.

Поэтому во второй части статьи перейдем к анализу причин, почему данная, в целом перспективная технология не используется столь массово.

2. Преимущества и недостатки использования аппаратных ускорителей, построенных на основе архитектуры RISC-V

Для ответа на этот вопрос проанализируем преимущества и недостатки данной архитектуры.

Согласно некоторым исследованиям, использование архитектуры RISC-V позволяет в разы снизить энергопотребление технических устройств, реализованных на базе данной архитектуры при приемлемом снижении производительности до 0,7-0,75 от производительности более энергозатратных устройств традиционной архитектуры процессоров (например, ARM и x86). Поэтому первым неоспоримым преимуществом RISC-V можно назвать высокую энергоэффективность по сравнению с традиционными архитектурами процессоров [10,11]). Использование архитектур с низким энергопотреблением может, например, существенно увеличить рост популярности технологий IoT и их более широкое распространение.

Поскольку в RISC-V заложена возможность программирования непосредственно на кристалле, возможна оптимизация по скорости популярных, хорошо изученных алгоритмов, как например, быстрое преобразование Фурье [12], быстрое перемножение матриц [13], основных алгоритмов машинного обучения и компьютерного зрения, реализованных в широко используемой библиотеке OpenCV [14], алгоритмы Q-Learning [7], алгоритмы сжатия данных [8]. Поэтому вторым преимуществом архитектуры можно назвать возможность аппаратной реализации известных алгоритмов, что дает преимущество по скорости их выполнения и не требует частого перепрограммирования процессора.

Также к преимуществам RISC-V можно отнести открытость архитектуры [1], а также дешевизну [10], что позволяет использовать RISC-V, при условии создания соответствующей технологической базы, в решении задач импортозамещения в микроэлектронике.

Казалось бы, такие преимущества неоспоримы, однако за 15 лет развития архитектуры, несмотря на, без преувеличения, огромное количество академических исследований, безусловно, говорит о том, что данная архитектура представляет интерес для широкого круга исследователей от информационной безопасности (ИБ) до ИИ, относительно мало работающих решений по сравнению с традиционными архитектурами.

Попробуем разобраться в причинах такого явного несоответствия ожиданий, исследований и реального использования решений на основе данной архитектуры. Для этого обратимся к существующим современным исследованиям данной проблемы.

Так, например, в исследованиях [2,3] приводится утверждение, что архитектура RISC-V по-прежнему на много лет отстает в плане разработки от устоявшихся архитектур ARM и x86. Разработка аппаратного и программного обеспечения для RISC-V сложна, а риск нарушения патентов при такой разработке высок и ограничивает развитие архитектуры. Кроме того, частое перепрограммирование, например, в случае реализации ядра операционной системы на кристалле [3] и необходимость установки новых обновлений приведет к неработоспособности микропроцессора, т.к. количество перезаписей программы ограничено.

Другие исследования доказывают, что при реализации конкретных программно-аппаратных решений на базе RISC-V возникают проблемы при масштабировании узлов распределенной системы из-за резкого возрастания накладных расходов, что приводит к общему замедлению системы [19].

Ряд исследований отмечают достаточно низкую производительность по сравнению с процессорной архитектурой (например, MIPS), также построенной на базе принципа RISC [3,15].

Хотя утверждение о низкой производительности требует дополнительного исследования, т.к.

есть альтернативные мнения, говорящие о том, что в последнее время производительность повысилась и может применяться в том числе и для HPC – high performance computing [16-18]. Впрочем, в приведенных исследованиях все же представлены исследовательские прототипы, а не промышленные системы.

Заключение

Несмотря на заявленные недостатки и проблемы, по мнению автора исследования, архитектура RISC-V все же имеет перспективы, т.к. большой интерес к архитектуре со стороны промышленности, различных сообществ и научных групп может стать драйвером ее стремительного развития в ближайшем будущем. Некоторые исследования показывают, что устройства на базе RISC-V могут использоваться для HPC при одновременном снижении энергопотребления в разы. Такая перспектива весьма заманчива, учитывая перспективы развития искусственного интеллекта и связанный с этим рост энергопотребления. В этой связи возможность реализации алгоритмов обучения, нейронных сетей на базе RISC-V может стать основой дешевых в плане производства и энергозатрат аппаратно-программных устройств.

Кроме того, архитектура RISC-V может представлять интерес для решения задач импортозамещения. Открытость архитектуры и ее относительная простота может снимать зависимость от компонент иностранного производства в будущем, если архитектура будет реализована в РФ при условии создания соответствующей технологической базы.

Если будет подтверждена применимость архитектуры для решения задач импортозамещения, то возможное использование в информационных системах следующее: алгоритмы сжатия и шифрования, алгоритмы индексации данных, алгоритмы информационной безопасности (например, проверка прав доступа), ИИ (реализация алгоритмов обучение и нейросетей), СУБД (построение витрин данных и/или материализованных представлений).

В дальнейших исследованиях планируется изучить подробнее применимость и перспективы использования RISC-V для решения задач импортозамещения в микроэлектронике.

Литература

1. Goossens B. The RISC-V Architecture. Guide to Computer Processor Architecture. Undergraduate Topics in Computer Science. 2023. P.105-122. https://doi.org/10.1007/978-3-031-18023-1_4.
2. Фролов В.А., Галактионов В.А., Санжаров В.В. RISC-V: стандарт, изменивший мир микропроцессоров // Открытые системы. СУБД. 2020. № 02 : osp. URL: https://www.osp.ru/os/2020/02/13055471?ysclid=m0drd3sm7l834038937. DOI: 10.26295/OS.2020.53.12.002. Дата публикации: 29.04.2020.
3. Helbig T. Open Source RISC-V Systems as an Opportunity for Europe // ATZ Electron Worldw. 2023. Vol.18. P.64. https://doi.org/10.1007/s38314-023-1549-2.
4. Liu G., Huang J., Liu X. An OS Kernel Based on RISC-V Architecture // Gan J., Pan Y., Zhou J., Liu D., Song X., Lu Z. (eds) Computer Science and Educational Informatization. CSEI 2023. Communications in Computer and Information Science. 2024. Vol.1899. P.3-16. https://doi.org/10.1007/978-981-99-9499-1_1.
5. Ottaviano A., Balas R., Bambini G. ControlPULP: A RISC-V On-Chip Parallel Power Controller for Many-Core HPC Processors with FPGA-Based Hardware-In-The-Loop Power and Thermal Emulation // Int J Parallel Prog. 2024. Vol.52. P.93–123. https://doi.org/10.1007/s10766-024-00761-4.
6. Jin S., Qi S., Dai Y., Hu Y. Design of Convolutional Neural Network Accelerator Based on RISC-V // Abawajy J.H., Xu Z., Atiquzzaman M., Zhang X. (eds) Tenth International Conference on Applications and Techniques in Cyber Intelligence (ICATCI 2022). ICATCI 2022. Lecture Notes on Data Engineering and Communications Technologies. 2023. Vol.170. P.446-454. https://doi.org/10.1007/978-3-031-29097-8_53.
7. Angeloni D., Canese L., Cardarilli G.C., Di Nunzio L., Re M., Spanò S. A RISC-V Hardware Accelerator for Q-Learning Algorithm // Applications in Electronics Pervading Industry, Environment and Society. ApplePies 2023. Lecture Notes in Electrical Engineering. 2024. Vol. 1110. P. 74-79. https://doi.org/10.1007/978-3-031-48121-5_11.
8. Du P., Cai Z. A Time Series Data Compression Coprocessor Based on RISC-V Custom Instructions // Tari Z., Li K., Wu H. (eds) Algorithms and Architectures for Parallel Processing. ICA3PP 2023. Lecture Notes in Computer Science, 2024. Vol. 14487. P. 439-454. https://doi.org/10.1007/978-981-97-0834-5_25.
9. Фролов В.А., Галактионов В.А., Санжаров В.В. Исследование технологии RISC-V // Труды ИСП РАН. 2020. Т.32. № 2, С. 81-98. DOI: 10.15514/ISPRAS–2020–32(2)–7.
10. Cheng YH., Huang LB., Cui YJ. RV16: An Ultra-Low-Cost Embedded RISC-V Processor Core // J.

Comput. Sci. Technol. 2022. Vol.37, P.1307–1319. https://doi.org/10.1007/s11390-022-0910-x.
11. Suárez D., Almeida F., Blanco V. (2024) Comprehensive analysis of energy efficiency and performance of ARM and RISC-V // SoCs. J Supercomput. 2024. Vol.80. P.12771–12789. https://doi.org/10.1007/s11227-024-05946-9.
12. Zhao X., Zhang X., Zhang Y. Optimization of the FFT Algorithm on RISC-V CPUs // Bienz A., Weiland M., Baboulin M., Kruse C. (eds) High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science. 2023. Vol.13999. P.515-525. https://doi.org/10.1007/978-3-031-40843-4_38.
13. Ramírez C., Castelló A., Quintana-Ortí E.S. A BLIS-like matrix multiplication for machine learning in the RISC-V ISA-based GAP8 processor // J Supercomput. 2022. Vol.78, P.18051–18060. https://doi.org/10.1007/s11227-022-04581-6.
14. Volokitin V.D., Vasiliev E.P., Kozinov E.A. et al. Improved Vectorization of OpenCV Algorithms for RISC-V CPUs // Lobachevskii J Math. 2024. Vol.45. P.130–142. https://doi.org/10.1134/S1995080224010530.
15. Liu Y., Ye K., Xu CZ. Performance Evaluation of Various RISC Processor Systems: A Case Study on ARM, MIPS and RISC-V // Ye K., Zhang LJ. (eds) Cloud Computing – CLOUD 2021. CLOUD 2021. Lecture Notes in Computer Science. 2022. Vol.12989. P.61-74. https://doi.org/10.1007/978-3-030-96326-2_5.
16. Lee J.K.L., Jamieson M., Brown N., Jesus R. Test-Driving RISC-V Vector Hardware for HPC // Bienz A., Weiland M., Baboulin M., Kruse C. (eds) High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science. 2023. Vol.13999. P.419-432. https://doi.org/10.1007/978-3-031-40843-4_31.
17. Berger-Vergiat L. Evaluation of HPC Workloads Running on Open-Source RISC-V Hardware // Bienz A., Weiland M., Baboulin M., Kruse C. (eds) High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science. 2023. Vol.13999. P.538-551. https://doi.org/10.1007/978-3-031-40843-4_40.
18. Mallidu J., Siddamal S.V. A Survey on In-Order 5-Stage Pipeline RISC-V Processor Implementation // Kaiser M.S., Xie J., Rathore V.S. (eds) Information and Communication Technology for Competitive Strategies (ICTCS 2021). Lecture Notes in Networks and Systems. 2023. Vol.401. P.777-784. https://doi.org/10.1007/978-981-19-0098-3_73.
19. Gómez-Sánchez G. Challenges and Opportunities for RISC-V Architectures Towards Genomics-Based Workloads // Bienz A., Weiland M., Baboulin M., Kruse C. (eds) High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science. 2023. Vol.13999. P.458-471. https://doi.org/10.1007/978-3-031-40843-4_34.

Соловьев Александр Владимирович. Федеральный исследовательский центр «Информатика и управление» Российской академии наук, г. Москва, Россия. Главный научный сотрудник. Доктор технических наук. Область научных интересов: системный анализ, системы управления базами данных, теория надежности, математическое моделирование, долговременное хранение электронных документов. E-mail: soloviev@isa.ru

Analysis of the applicability of RISC-V for improving the performance of DBMSs

A.V. Solovyev
Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, Moscow, Russia

Abstract. The article analyzes the applicability of specialized processors based on the RISC-V architecture for accelerating data processing in DBMS. An overview of RISC-V's capabilities is provided, and practical examples of using RISC-V are examined. The advantages and disadvantages of RISC-V are identified. A number of problems that have significantly hindered the adoption of RISC-V in industrial DBMS and data storage systems are noted. The conclusion is drawn regarding the applicability of RISC-V hardware accelerators for DBMS. In further studies, it is planned to analyze the applicability of technologies that accelerate data processing using non-volatile memory, ultra-fast networks, and technologies for using memory beyond the server boundaries.
Keywords: *database management systems, DBMS, RISC-V, acceleration of data processing*.
DOI: 10.14357/20790279260304 **EDN:** AHKKVG

References

1. Goossens B. *The RISC-V Architecture. Guide to Computer Processor Architecture. Undergraduate Topics in Computer Science*. 2023: 105-122. https://doi.org/10.1007/978-3-031-18023-1_4.
2. Frolov V.A., Galaktionov V.A., Sanzharov V.V. RISC-V: The standard that changed the world of microprocessors. *Open systems. DBMS*. 2020.(02) : osp. URL: https://www.osp.ru/os/2020/02/13055471?ysclid=m0drd3sm7l834038937. (in Russian) DOI: 10.26295/OS.2020.53.12.002. Published: 29.04.2020.
3. Helbig T. 2023. Open Source RISC-V Systems as an Opportunity for Europe. *ATZ Electron Worldw.* 2023;(18):64. https://doi.org/10.1007/s38314-023-1549-2.
4. Liu G., Huang J., Liu X. 2024. An OS Kernel Based on RISC-V Architecture. Computer Science and Educational Informatization. CSEI 2023. Communications in Computer and Information Science. 2024;(1899):3-16. Springer, Singapore. https://doi.org/10.1007/978-981-99-9499-1_1.
5. Ottaviano A., Balas R., Bambini G. ControlPULP: A RISC-V On-Chip Parallel Power Controller for Many-Core HPC Processors with FPGA-Based Hardware-In-The-Loop Power and Thermal Emulation. *Int J Parallel Prog*. 2024;(52):93–123. https://doi.org/10.1007/s10766-024-00761-4.
6. Jin S., Qi S., Dai Y., Hu Y. Design of Convolutional Neural Network Accelerator Based on RISC-V. *Tenth International Conference on Applications and Techniques in Cyber Intelligence (ICATCI 2022). ICATCI 2022. Lecture Notes on Data Engineering and Communications Technologies*. 2023;(170):446-454. https://doi.org/10.1007/978-3-031-29097-8_53.
7. Angeloni D., Canese L., Cardarilli G.C., Di Nunzio L., Re M., Spanò S. A RISC-V Hardware Accelerator for Q-Learning Algorithm. *Applications in Electronics Pervading Industry, Environment and Society. ApplePies 2023. Lecture Notes in Electrical Engineering*. 2024;(1110):74-79. https://doi.org/10.1007/978-3-031-48121-5_11.
8. Du P., Cai Z. A Time Series Data Compression Co-processor Based on RISC-V Custom Instructions. *Algorithms and Architectures for Parallel Processing. ICA3PP 2023. Lecture Notes in Computer Science*. 2024;(14487):439-454. https://doi.org/10.1007/978-981-97-0834-5_25.
9. Frolov V.A., Galaktionov V.A., Sanzharov V.V. Investigation of the RISC-V. *Trudy ISP RAN/Proc. ISP RAS*. 2020;32(2):81-98 (in Russian). DOI: 10.15514/ISPRAS–2020–32(2)–7.
10. Cheng YH., Huang LB., Cui YJ. RV16: An Ultra-Low-Cost Embedded RISC-V Processor Core. *J. Comput. Sci. Technol*. 2022;(37):1307–1319. https://doi.org/10.1007/s11390-022-0910-x.
11. Suárez D., Almeida F., Blanco V. Comprehensive analysis of energy efficiency and performance of ARM and RISC-V SoCs. *J Supercomput*. 2024;(80):12771–12789. https://doi.org/10.1007/s11227-024-05946-9.
12. Zhao X., Zhang X., Zhang Y. Optimization of the FFT Algorithm on RISC-V CPUs. *High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science*. 2023;(13999):515-525. https://doi.org/10.1007/978-3-031-40843-4_38.
13. Ramírez C., Castelló A., Quintana-Ortí E.S. A BLIS-like matrix multiplication for machine learning in the RISC-V ISA-based GAP8 processor. *J Supercomput*. 2022;(78): 18051–18060. https://doi.org/10.1007/s11227-022-04581-6.
14. Volokitin V.D., Vasiliev E.P., Kozinov E.A. Improved Vectorization of OpenCV Algorithms

for RISC-V CPUs. *Lobachevskii J Math*. 2024;(45):130–142. https://doi.org/10.1134/S1995080224010530.
15. Liu Y., Ye K., Xu CZ. Performance Evaluation of Various RISC Processor Systems: A Case Study on ARM, MIPS and RISC-V. *Cloud Computing – CLOUD 2021. CLOUD 2021. Lecture Notes in Computer Science*. 2022;(12989):61-74. https://doi.org/10.1007/978-3-030-96326-2_5.
16. Lee J.K.L., Jamieson M., Brown N., Jesus R. Test-Driving RISC-V Vector Hardware for HPC. *High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science*. 2023;(13999):419-432. https://doi.org/10.1007/978-3-031-40843-4_31.
17. Berger-Vergiat L. Evaluation of HPC Workloads Running on Open-Source RISC-V Hardware. *High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science*. 2023;(13999):538-551. https://doi.org/10.1007/978-3-031-40843-4_40.
18. Mallidu J., Siddamal S.V. A Survey on In-Order 5-Stage Pipeline RISC-V Processor Implementation. *Information and Communication Technology for Competitive Strategies (ICTCS 2021). Lecture Notes in Networks and Systems*. 2023;(401):777-784. https://doi.org/10.1007/978-981-19-0098-3_73.
19. Gómez-Sánchez G. Challenges and Opportunities for RISC-V Architectures Towards Genomics-Based Workloads. *High Performance Computing. ISC High Performance 2023. Lecture Notes in Computer Science*. 2023;(13999):458-471. https://doi.org/10.1007/978-3-031-40843-4_34.

Solovyev Alexander V. Chief Researcher, Doctor of Technical Sciences. Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44/2 Vavilova str., Moscow, 119333, Russia. E-mail: soloviev@isa.ru